

APPLICATION
FOR
UNITED STATES LETTERS PATENT

TITLE: SEMICONDUCTOR DEVICE, DIGITAL-ANALOG
CONVERTER AND DISPLAY DEVICE THEREOF

APPLICANT: HAJIME KIMURA

明細書

半導体装置、デジタル・アナログ変換回路及びそれらを用いた表示装置

5. 技術分野

本発明は、ガンマ補正機能を有する半導体装置の技術に関する。より詳細には、デジタル・アナログ変換機能と電圧電流変換機能とガンマ補正機能が一体化した半導体装置の技術に関する。

10. 背景技術

近年、自発光素子を画素に用いたディスプレイとして、有機EL（有機エレクトロルミネッセンス（有機LED、OLEDなどとも言う。））ディスプレイが注目されている。特に、各画素に薄膜トランジスタ（TFT）を配置したアクティブ型の有機ELディスプレイは、活発に研究が行われてい

15. る。

有機ELディスプレイの最も基本的な画素構成としては、1画素に2個のTFTを用いたものが使用されている。一方のTFTは、画像信号を画素に入力するかどうかを制御する機能を有しており、選択用TFTなどと呼ばれている。他方のTFTは、有機EL素子にどれくらいの電流を流すかを制御する機能を有しており、駆動用TFTなどと呼ばれている。駆動用TFTのゲート・ソース間電圧の大きさにより、有機EL素子に流れる電流値を制御できる。

しかしながら、駆動用TFTは、画素によって、電流特性がばらついてしまう、という問題点がある。その結果、有機EL素子に流れる電流値がばらつき、輝度ムラが生じてしまう。

そこで、有機EL素子に流れる電流値がばらつかないようにするために、様々な画素構成が検討されている。その内の一つとして、輝度を決めるのに、画素に入力する画像信号を電圧にするのではなく、電流で行うタイプの画素が開発されている（例えば、以下に示す文献1～3を参照。）。本明細書においてこのタイプの画素を「電流入力型画素」と呼ぶことにする。電流入力型画素では、画像信号に応じた値を持つ信号電流を画素に入力する。すると、信号電流に応じた大きさの電流が有機EL素子に流れる。そのため、TFTの電流特性やトランジスタサイズなどが画素ごとにばらついても、有機EL素子に流れる電流値は信号電流に応じた大きさになるため、輝度ムラを防止することができる。

このような電流入力型画素では、画像信号として電流を用いている。そのため、画像信号に応じた大きさの電流を画素に供給する手段、つまり、駆動回路が必要となる。そのため、電流入力型画素のための駆動回路が検討されている（例えば、以下に示す文献4を参照。）。

図32に文献4に記載されている駆動回路の一部を示す。図32の駆動回路は4ビットのデジタル電圧信号を入力し、アナログ電流信号を出力する回路である。つまり、電圧信号を電流信号に変換する機能と、デジタル値をアナログ値に変換する機能とを合わせ持っている。4ビット入力であるため、電流源として動作するTFTとして4個のTFT3206～3209が配置されている。

次に、図32の動作について説明する。まず、入力端子3202～3205に、各ビットのデジタル電圧信号が入力される。入力端子3202に最下位ビットのデジタル電圧信号が入力され、入力端子3205に最上位ビットのデジタル電圧信号が入力されるものとする。入力端子3202～3205は、TFT3206～3209のゲート端子に接続されているため、入力端

子3202～3205に入力されるデジタル電圧信号によって、TFT3206～3209は、各々、オン状態もしくはオフ状態のいずれかになる。そして、オン状態になったTFTから電流が流れ、キルヒホッフの電流法則により、TFT3206～3209から流れる電流の総和が、出力端子3205 1から出力される。出力端子3201から出力される電流はアナログ値を表している。

つまり、TFT3206～3209は、電流源として動作しており、電流を出力するかどうかは、入力端子3202～3205から入力されるデジタル電圧によって制御される。

10 TFT3206～3209は、ゲート長Lが全て同一である。ゲート幅WはTFTによって異なっている。TFT3206のゲート幅Wが最も小さく、TFT3209のゲート幅が最も大きい。そして、各TFTのゲート幅は、図面左側に配置されたTFTに対して2倍づつに大きくなっている。そのため、最下位ビット用の電流源であるTFT3206から流れる電流の大きさをI0とすると、TFT3207から流れる電流の大きさは $2 \times I0$ 、TFT3208から流れる電流の大きさは $4 \times I0$ 、TFT3209から流れる電流の大きさは $8 \times I0$ となる。

従って、電流を出力させるか否かを、TFT3206～3209ごとに制御することによって、出力端子3201から4ビット分、つまり16通りの大きさの電流を出力させることができる。例えば、入力端子3203と3204にオン状態となるデータを入力すると、出力端子3201からは、 $2 \times I0$ の電流と $4 \times I0$ の電流との総和、つまり、 $6 \times I0$ の大きさの電流が流れる。入力端子3202と3203と3204にオン状態となるデータを入力すると、出力端子3201からは、 $I0$ の電流と $2 \times I0$ の電流と $4 \times I0$ の電流との総和、つまり、 $7 \times I0$ の大きさの電流が流れる。このよう

にして、入力端子 3202～3205に入力されるデジタル電圧信号に応じた大きさのアナログ電流信号が出力端子 3201 から出力される。

そのため、電流入力型画素に信号電流を入力する駆動回路として、図 32 の駆動回路を用いると 16 階調の表示を行えることになる。

5 図 33 は、図 32 のデジタル・アナログ変換回路に対応させたブロック図である。電流源 3311 には、入力端子 3312 と、出力端子 3313 がある。入力端子 3312 には、入力端子 3202 が接続されている。出力端子 3313 は、出力端子 3201 に接続されている。4 つの電流源 3311 はそれぞれ、図 32 の TFT 3206～3209 に対応し、四角形の中の文字 10 は、それぞれ、電流源 3311 から流れる電流の大きさを示している。このような電流源が、複数個並列に配置されている。

以下に、上述した参考文献について列挙する。

(文献 1) 国際公開第 01/06484 号パンフレット
 (文献 2) 特表 2002-514320 号公報
 15 (文献 3) 特表 2002-517806 号公報
 (文献 4) 「アナログーサーキット シミュレーション オブ ザ・カレントープログラムド アクティブーマトリックス ピクセル エレクトロード サーキット ベイストド オン ポリーシリコン TFT フォー オーガニック ライトーエミッティング ディスプレイ (Analog-Circuit
 20 Simulation of the Current-Programmed Active-Matrix Pixel
 Electrode Circuits Based on Poly-Si TFT for Organic Light-Emitting Displays)」、AM-LCD '01、p 223-226

発明の開示

25 (発明が解決しようとする課題)

ところで、人間の目が感じる明るさと光の強度とは比例関係はない。光の強度が2倍になっても、人間の目では必ずしも2倍明るくなつたとは感じない。そのため、人間の感じる明るさ（視感度）に応じて、表示装置から出る光の強度を補正する必要がある。このように、表示装置において光の強度を

5 補正することはガンマ補正と呼ばれている。

一方、上述の図32や図33に示すような従来のデジタル・アナログ変換回路では、入力端子と電流源が1対1で対応し、各ピットに対応した電流源から電流が outputされるかどうかを制御し、各電流源から出力される電流の総和が出力端子3201から出力されている。したがって、入力端子3202
10 ~3205に入力されるデジタル電圧と出力端子3201から出力されるアナログ電流とは正比例の関係になっている。

分かりやすくするために、図34に、図33のデジタル・アナログ変換回路における入力される階調数と出力される電流の大きさの関係をグラフに示す。横軸に階調数、縦軸に電流をとっている。図34のように、階調数が増
15 えると、それに正比例して電流値が大きくなつており、全域にわたつて、階調数と電流の関係は1つの一次関数で表されている。

そのため、図32、33のような従来例のデジタル・アナログ変換回路では、入力されるデジタル電圧と、出力されるアナログ電流の間の関係を非線形にすることができない。したがつて、ガンマ補正を行うことができない。
20 本発明は上記の問題点を鑑みてなされたものであり、ガンマ補正を行うことができる半導体装置を提供することを課題とする。より詳しくは、デジタル・アナログ変換機能と電圧電流変換機能とガンマ補正機能とが一体化した半導体装置を提供することを課題とする。

25 (課題を解決するための手段)

上記の問題点を解決するために、本発明に係る半導体装置はm個の電流源 I_1, I_2, \dots, I_m と、切替え回路とを有し、前記切替え回路は、n個の入力端子 D_1, D_2, \dots, D_n と、m個の出力端子 O_1, O_2, \dots, O_m とを有し、前記電流源 I_k と前記切替え回路の出力端子 O_k とが電気的に接続され ($k = 1 \sim m$) 、前記切替え回路は、前記切替え回路の入力端子 D_1, D_2, \dots, D_n に入力される信号を用いて、前記入力端子 D_k が接続される出力端子 O_1, O_2, \dots, O_m を選択することを特徴とする。

また、本発明に係る半導体装置は、m個の電流源と、n個の入力端子及びm個の出力端子を有する切替え回路とを有する半導体装置であって、前記m個の電流源はそれぞれ相異なる前記出力端子の1つに接続され、前記切替え回路において、前記入力端子の少なくとも1つには、1つ又は複数のスイッチが接続され、前記スイッチは前記m個の出力端子のいずれか1つに接続され、前記切替え回路は、前記n個の入力端子の少なくとも1つの端子から入力される信号を用いて、前記スイッチのオンオフを制御することを特徴とする。

あるいは、前記切替え回路において、前記出力端子の少なくとも1つには、1つ又は複数のスイッチが接続され、前記スイッチは前記n個の入力端子のいずれか1つに接続され、前記切替え回路は、前記n個の入力端子の少なくとも1つの端子から入力される信号を用いて、前記スイッチのオンオフを制御することを特徴とする。

上記構成を有する半導体装置の切替え回路は、さらに外部から入力される信号を用いて、前記スイッチのオンオフの状態を制御するようにしてもよい。

上記構成を有することにより、1つの入力端子が複数の電流源に接続できるように、あるいは1つの電流源に対して複数の入力端子が接続できるよう

になるため、入力信号と出力される電流との関係を様々に設定することができる。

更に、上記の問題点を解決するために、本発明はnビットのデジタル電圧信号をアナログ電流信号に変換するためのデジタル・アナログ変換回路であ
5 って、m個の電流源と、n個の入力端子及びm個の出力端子を有する切替え回路とを有し、前記m個の電流源はそれぞれ相異なる前記出力端子の1つに接続され、前記切替え回路は、前記nビットのデジタル電圧信号の少なくとも1つの信号を用いて、前記m個の出力端子の中から、前記n個の入力端子が接続される出力端子を選択することを特徴とするデジタル・アナログ変換
10 回路。m個の電流源と、n個の入力端子及びm個の出力端子を有する切替え回路とを有し、前記m個の電流源はそれぞれ相異なる前記出力端子の1つに接続され、前記切替え回路は、前記nビットのデジタル電圧信号の少なくとも1つの信号を用いて、前記m個の出力端子の中から、前記n個の入力端子が接続される出力端子を選択することを特徴とする。
15 また、本発明のnビットのデジタル電圧信号をアナログ電流信号に変換するためのデジタル・アナログ変換回路の他の構成は、m個の電流源と、n個の入力端子、m個の出力端子、m個のスイッチユニットを有する切替え回路とを有し、前記m個の電流源はそれぞれ相異なる前記出力端子の1つに接続され、前記m個の出力端子はそれぞれ相異なる前記スイッチユニットの1つ
20 に接続され、前記m個のスイッチユニットはそれぞれ1個又は複数個の入力端子に接続され、前記切替え回路は、前記nビットのデジタル電圧信号の少なくとも1つの信号を用いて前記m個のスイッチユニットを制御し、前記出力端子に接続される入力端子を選択することを特徴とする。
あるいは、m個の電流源と、n個の入力端子、m個の出力端子及びk個（
25 $1 \leq k < m$ ）のスイッチユニットとを有する切替え回路とを有し、前記m個

の電流源はそれぞれ相異なる前記出力端子の 1 つに接続され、前記 m 個の出力端子のうち、 k 個の出力端子は相異なる前記スイッチユニットの 1 つに接続され、他の $m - k$ 個の出力端子は前記スイッチユニットを介さずに前記入力端子の少なくとも 1 つに接続され、前記 k 個のスイッチユニットはそれぞれ 5 1 個又は複数個の入力端子に接続され、前記切替え回路は、前記 n ビットのデジタル電圧信号の少なくとも 1 つの信号を用いて、前記 k 個のスイッチユニットを制御し、前記出力端子に接続される入力端子を選択することを特徴とする。

上記本発明に係るデジタル・アナログ変換回路において、前記スイッチユニットを AND 回路、 OR 回路などのデジタル回路を用いて構成することができる。 10

また、本発明に係るデジタル・アナログ変換回路は、エレクトロルミネッセンス表示装置などの信号線駆動回路に好適に用いることができる。

15 (発明の効果)

従来の回路では、入力される信号の階調数と出力される電流値の関係は 1 つの正比例関数であった。これに対して、本発明では、入力される信号の階調数と出力される電流値の関係を階調数を複数の領域ごとにわけ、予め領域ごとに関数を適宜に設定し、入力信号に基づいて、出力される電流値が所期 20 の関数となるように、入力端子が接続される電流源を切替えることにより、 ガンマ補正を可能にしたものである。

また、階調数に対応する入力信号と、その他の外部の制御信号を用いて、入力端子と電流源との接続を切替えるようにすることにより、同じ階調数に対し 25 て、複数の関数を選択することができる。例えば、本発明をエレクトロルミネッセンスディスプレイに適用した場合、劣化により輝度が低減した場

合、電流値が高くなるような関数に切替えるようにすれば、輝度の低下を補償することができる。

また、本発明は、入力信号をデジタル電圧信号とすることにより、ガンマ補正機能だけでなく、デジタル・アナログ変換機能と電圧電流変換機能をも
5 有するものとすることができます。したがって、デジタル・アナログ変換機能と電圧電流変換機能とガンマ補正機能とが一体化した半導体装置を提供する
ことができる。これらの機能が一体化しているため、専用の I C を用いる必
要がなく、コストダウンをはかることができる。

10 図面の簡単な説明

図 1 は、本発明のガンマ補正機能を備えた半導体装置のブロック回路説明
する図である。

図 2 は、本発明の切替え回路の構成を説明するブロック回路図である。

図 3 は、本発明の切替え回路又はスイッチ回路の部分的な構成図である。

15 図 4 は、本発明の切替え回路又はスイッチ回路の部分的な構成図である。

図 5 は、本発明のデジタル・アナログ変換回路の回路図である。

図 6 は、図 5 のデジタル・アナログ変換回路の動作を説明する図である。

図 7 は、図 5 のデジタル・アナログ変換回路の動作を説明する図である。

図 8 は、図 5 の変形例を説明する図を示す図である。

20 図 9 は、図 8 の変形例を説明する図を示す図である。

図 10 は、本発明のデジタル・アナログ変換回路の入力（階調数）と出力
(電流値) の関係を示すグラフである。

図 11 は、本発明のデジタル・アナログ変換回路の回路図である。

図 12 は、本発明のデジタル・アナログ変換回路の回路図である。

25 図 13 は、本発明のデジタル・アナログ変換回路の回路図である。

図14は、図13のデジタル・アナログ変換回路の動作を説明する図である。

図15は、図13のデジタル・アナログ変換回路の動作を説明する図である。

5 図16は、本発明のデジタル・アナログ変換回路の回路図である。

図17は、図16のデジタル・アナログ変換回路の動作を説明する図である。

図18は、図16のデジタル・アナログ変換回路の動作を説明する図である。

10 図19は、本発明のデジタル・アナログ変換回路の入力（階調数）と出力（電流値）の関係を示すグラフである。

図20は、本発明のデジタル・アナログ変換回路の回路図である。

図21は、図20の領域判定信号出力回路の構成例を説明する図である。

図22は、図20のスイッチユニットの構成例を説明する図である。

15 図23は、本発明のデジタル・アナログ変換回路の入力（階調数）と出力（電流値）の関係を示すグラフである。

図24は、本発明のデジタル・アナログ変換回路の回路図である。

図25は、本発明の電流源の構成一例を示す説明する図である。

図26は、本発明の電流源の構成一例を示す説明する図である。

20 図27は、本発明の電流源の構成一例を示す説明する図である。

図28は、本発明の表示装置の構成を示すブロック図である。

図29は、図28の表示装置におけるデジタル・アナログ変換回路と画素の接続を説明する図である。

図30は、本発明が適用される電子機器の図である。

25 図31は、本発明の回路の入力（階調数）と出力（電流値）の関係を示す

グラフ図である。

図32は、従来のデジタル・アナログ変換回路の構成を説明する図である。

図33は、図32の回路に対応するデジタル・アナログ変換回路のプロック回路図である。

図34は、図33のデジタル・アナログ回路の入力（階調数）と出力（電流値）の関係のグラフである。

発明を実施する最良の形態

10 (実施の形態1)

本実施の形態では、本発明におけるガンマ補正の原理について説明する。

まず、階調数について、ある範囲ごとの複数の領域に分割する。

そして、分割された1つの領域内において、階調数と電流の関係を、グラフを用いて表すと、その関係は所定の形状を持つ線となるようとする。つまり、1つの領域内においては階調数と電流とはある1つの関数を用いて表すことができるようとする。もっとも単純な場合は、階調数と電流の関係をグラフを用いて表すと、その関係は直線になり、階調数と電流との関係を表す関数は1つの1次式になる。

そして、階調数の各々の領域ごとに、階調数と電流との関係を表す関数を異ならせるようとする。例えば、階調数と電流の関係を一次関数を用いて表した場合、各々の領域ごとにその傾きを異ならせるようとする。その結果、領域全体として階調数と電流の関係を表すグラフは、各領域内での階調数と電流の関係を表すグラフが直線の場合は、折れ線状のグラフになる。

また、階調数が分割された領域のうちのどの領域に属するかを、入力端子から入力されたデータを用いて判断する。この入力されたデータが階調数に

対応するからである。この判断結果を用いて、階調数と電流との関係を表す関数のいずれを選択すればよいかを決定する。つまり、入力されたデータによって、階調数と電流との関係を表す関数に関して、用いる関数が切り替わることとなる。

5 このように、階調数と電流との関係を表す関数を分割された領域毎に適宜設定し、階調数に応じて使用される関数を切替えることにより、ガンマ補正を行えるようする。

以上に説明したガンマ補正の原理を実現するため、入力端子から入力される信号が、どの電流源に入力されるかを、入力端子から入力される信号の値
10 によって、入力端子が接続される電流源を切替える機能を備えた回路を用い
ればよい。

なお、スイッチとしてトランジスタを用いる場合、そのトランジスタは、
単なるスイッチとして動作するため、トランジスタの極性は特に限定されない。オフ電流がより少ない方の極性のトランジスタを用いることが望ましい
15 場合がある。オフ電流が少ないトランジスタとしては、LDD領域を設けているもの等がある。

また、スイッチとして動作させるトランジスタのソース端子の電位が低電位側電源 (V_{ss} 、 V_{gnd} 、 $0V$ など) に近いときは、 n チャネル型トランジスタを用いることが望ましい。反対に、ソース端子の電位が高電位側電源 (V_{dd} など) に近いときは、 p チャネル型トランジスタを用いることが望ましい。なぜなら、ゲート・ソース間電圧の絶対値を大きくできるため、
20 スイッチとして動作しやすいからである。なお、 n チャネル型と p チャネル型の両方を用いて、CMOS型にしてもよい。

本発明におけるトランジスタは、材料、手段、製造方法の種類を問わない
25 し、どのようなタイプのトランジスタでもよい。例えば、薄膜トランジスタ

(TFT) でもよい。TFT のなかでも、半導体層が非晶質（アモルファス）のものでもよいし、多結晶（ポリクリスタル）でも、単結晶のものでもよい。その他のトランジスタとして、単結晶基板において作られたトランジスタでもよいし、SOI 基板において作られたトランジスタでもよいし、
 5 プラスチック基板の上に形成されたトランジスタでもよいし、ガラス基板上に形成されたトランジスタでもよい。その他にも、有機物やカーボンナノチューブで形成されたトランジスタでもよい。また、MOS 型トランジスタでもよいし、バイポーラ型トランジスタでもよい。

図 34 に示すように、従来では階調数と電流の関係を表すグラフは階調の
 10 全域にわたって 1 つの直線であった。本実施の形態では、階調数と電流の関係を表すグラフを折れ線状にするための原理について述べる。

例として、図 31 に、3 つの領域に分割した場合の階調数と電流の関係を表すグラフを示す。階調数が $G_0 \sim G_1$ までの領域、 $G_1 \sim G_2$ までの領域、 $G_2 \sim G_3$ までの領域、という様に分割する。各々の領域において、階
 15 調数と電流の関係を表すグラフの傾きが異なっている。

まず、折れ線状にするための原理を説明する前に、一般的な数値の表し方について説明する。通常は、数値 L は、基數を元にして、以下の式 (1) のように表すことができる。なお、例として、桁数は 6 とする。

$$L = f * B^5 + e * B^4 + d * B^3 + c * B^2 + b * B^1 + a * B^0 \dots \quad (1)$$

B が基數にあたる。例えば、10 進数の場合は、基數が 10 になり、2 進数の場合は、基數が 2 となる。 $f \sim a$ は各桁の数字であり、通常は、 $f \ e \ d \ c \ b \ a$ という様に記述する。ここでは、6 桁であるとしているので、 $f \sim a$ までの 6 個の数字を用いて表す。

25 また、桁数から 1 を引いた値で基數をべき乗にしたものを、 $Y[5] \sim Y$

[0] で表すと、式(1)は、式(2)のように表現することができる。

$$L = f * Y[5] + e * Y[4] + d * Y[3] + c * Y[2] \\ + b * Y[1] + a * Y[0] \dots \quad (2)$$

よって、式(1)から10進数で、321867という数は、次の式(3)のように表すことができる。

$$L = 3 * 10^5 + 2 * 10^4 + 1 * 10^3 + 8 * 10^2 + 6 * 10^1 \\ + 7 * 10^0 \dots \quad (3)$$

また、2進数で、101101という数は次の式(4)のように表すことができる。

10 $L = 1 * 2^5 + 0 * 2^4 + 1 * 2^3 + 1 * 2^2 + 0 * 2^1 \\ + 1 * 2^0 \dots \quad (4)$

このように、数値は、各桁の数字(f ~ a)と、桁数から1を引いた値で基底をべき乗にした比例係数(Y[5] ~ Y[0])とを掛け合わせ、それらを加算することで表現できる。

15 以上の数値の表現方法を用いて、階調数と電流の関係を表すグラフを折れ線状にするための原理について述べる。

図31に示したように、階調数と電流の関係を表すグラフは、各領域毎に異なった傾きをもつ直線のグラフになるとする。階調数と電流の関係を表すグラフの傾きを変えるためには、各領域毎に各桁の数値とかけ算をする比例係数(Y[5] ~ Y[0])の大きさを変えるようにする。あるいは、各領域毎に基底の大きさを変えるようにしてもよい。

以下に、図31の階調数と電流の関係のグラフを表す式の導出方法を説明する。

まず、階調数がG0 ~ G1までの領域では、基底を用いる場合は、式(5)のように表されるとする。ここで、Cが基底である。

$$L = f * C^5 + e * C^4 + d * C^3 + c * C^2 + b * C^1 \\ + a * C^0 \dots \quad (5)$$

式(5)をより一般的な記述にすると、式(6)のようになる。ここで、
 $C[5] \sim C[0]$ は比例係数である。 $C[5] \sim C[0]$ の比例係数は必ずしも式(5)における基底Cのべき乗になっている必要はない。

$$L = f * C[5] + e * C[4] + d * C[3] + c * C[2] \\ + b * C[1] + a * C[0] \dots \quad (6)$$

階調数が $G1 \sim G2$ までの領域では、基底を用いる場合は、式(7)のように表される。ここで、Dは基底である。また、階調数が $G1$ のときの電流値、つまり、階調数が $G0 \sim G1$ の領域と $G1 \sim G2$ の領域との境界における電流値を $L1$ とする。

$$L = L1 + f * D^5 + e * D^4 + d * D^3 + c * D^2 \\ + b * D^1 + a * D^0 \dots \quad (7)$$

式(7)をより一般的な記述にすると、式(8)のようになる。ここで、
 $D[5] \sim D[0]$ は比例係数である。 $D[5] \sim D[0]$ の比例係数は、必ずしも、式(7)における基底Dのべき乗になっている必要はない。

$$L = L1 + f * D[5] + e * D[4] + d * D[3] + c * D[2] \\ + b * D[1] + a * D[0] \dots \quad (8)$$

最後に、階調数が $G2 \sim G3$ までの領域について、同様に基底を用いて表すこととすると、式(9)のように表される。ここでEが基底である。また、階調数が $G2$ のときの電流値、つまり、階調数が $G1 \sim G2$ の領域と $G2 \sim G3$ の領域との境界における電流値を $L2$ とする。

$$L = L2 + f * E^5 + e * E^4 + d * E^3 + c * E^2 + b * E^1 \\ + a * E^0 \dots \quad (9)$$

より一般的な記述にすると、式(10)のようになる。ここで、 $E[5]$

～E [0] は、比例係数である。E [5] ～E [0] の比例係数は、必ずしも、式 (9) における基底Eのべき乗になっている必要はない。

$$L = L_2 + f * E [5] + e * E [4] + d * E [3] + c * E [2] \\ + b * E [1] + a * E [0] \dots \quad (10)$$

5 階調数の領域毎に、式 (6)、(8) 及び (10) における各項の数 (f ～a) とかけ算をする比例係数 (C [5] ～C [0]、D [5] ～D [0]、E [5] ～E [0]) の大きさを変えるようにする。あるいは、領域毎に基底 (C、D、E) の大きさを変えるようする。このようにすることにより、領域毎に階調数と電流の関係を表すグラフは異なった傾きをもつ直線の
10 グラフになる。その結果、領域全体として、階調数と電流の関係を表すグラフは折れ線状になる。

したがって、階調数での領域の分割数や、各領域の階調数の範囲や、領域毎のグラフの傾きを変えることにより、任意にガンマ補正を行うことができる。図 3-1 のグラフから明らかなように、1 つの領域においては階調数と電
15 流の関係は一次関数であるが、分割した領域の数を多くなれば、全領域における一次関数の集合（折れ線状のグラフ）を非線形関数と近似させることもできる。

また、本実施の形態では、階調数と電流との関係を例にして述べたが、これに限定されない。階調数以外の数値と電流との関係に適用してもよいし、
20 電流以外の数値と階調数との関係に適用してもよい。

(実施の形態 2)

前述した実施の形態 1 では、階調数と電流の関係を表すグラフを、領域毎に異なった傾きを折れ線状のグラフにするための原理について述べた。本実
25 施の形態では、実施の形態 1 で説明した原理を利用して、入力信号の階調数

と、出力される電流値との関係が折れ線状のグラフになるようにするため回路を構成するための原理について説明する。

図1に、本発明の回路の概略図を示す。例として、2進数で4桁、つまり、4ビットの信号を入力する場合を説明する。

5 従来のデジタル・アナログ変換回路は、図33に示すように、入力ビット数と電流源3311の数は一致し、各入力端子3202～3205は1つの電流源3311に直列に接続されている。

一方、本実施の形態では、図1に示すように、各入力端子102～105は、切替え回路101を介して、並列に配置された複数の電流源111～114に接続されている。

また、入力ビット数（入力端子の総数）と電流源の数とは必ずしも一致するものではない。切替え回路101の各出力端子には、それぞれ、電流源111～116の入力端子121～126が接続されている。電流源111～116の出力端子131～136はそれぞれ出力端子106に接続されている。

各電流源111～116の図中に示すa*I0、b*I0...f*I0などは、当該電流源111～116から出力される電流の値（本明細書中では、「電流源の大きさ」ともいう。）を示す。他の図面についても同様である。

20 なお、本明細書において、接続されているとは、電気的に接続されていることと同義である。したがって、間に、別の素子などが配置されていてよい。

切替え回路101は、各入力端子102～105と並列に配置された各電流源111～116との接続状態を、各入力端子102～105から入力される信号や制御信号などによって切替える。

実施の形態 1 において説明したように、本発明のガンマ補正の原理は、階調数によって、例えば式 (6) 、 (8) 、 (10) のいずれの式を用いるかを切替えるものである。切替え回路 101 は、入力端子 102 ～ 105 から入力される信号から階調数が属する領域を判断し、各入力端子 102 ～ 105 が接続されるべき電流源を、電流源 111 ～ 116 の中から選択する機能を有する。よって切替え回路 101 の動作は、階調数によって、式 (6) 、 (8) 、 (10) のどの式を用いるかを切替えていることに相当する。これにより、階調数と出力端子 106 から出力される電流の関係を表すグラフを、図 31 に示すような各領域毎に異なった傾きをもつ直線のグラフにすること 10 ができる。

図 2 に、切替え回路 101 の内部構成の例を示す。なお、各図面において、同じ符号を付したもののは同じ構成要素を示しているものとする。

各入力端子 102 ～ 105 からの信号は、領域判定回路 201 と、スイッチグループ 202 とに入力される。領域判定回路 201 では、各入力端子 15 102 ～ 105 から入力される信号を用いることにより、入力される信号が階調数のどの領域に属するかを判定する。領域判定回路 201 で得られた情報を表す信号 203 は、スイッチグループ 202 に入力される。スイッチグループ 202 では、領域判定回路 201 から入力された情報を表す信号 203 を元にして、各入力端子 102 ～ 105 が、どの大きさの電流源と接続され 20 ればよいかを切替える。スイッチグループ 202 では、領域判定回路 201 からの信号 203 だけではなく、外部から入力される制御信号 204 も用いて、各入力端子 102 ～ 105 と電流源 111 ～ 116 との接続を切替える場合がある。必ずしも、制御信号 204 は必要ではない。

図 2 では、切替え回路 101 において領域判定回路 201 と、スイッチグ 25 ループ 202 とを、明確に他の回路として分離して説明しているが、両者が

一体化しており、明確に分離できない場合も多く、領域判定回路 201 と、スイッチグループ 202 とが一体不可分な切替え回路 101 も本発明に含まれる。

図 1、図 2において、電流源を示す矩形の中に記載されている「a * I 0 5」、「b * I 0」などの文字列は、各電流源 111～116 から出力される電流の値を示している。電流源の出力の表し方は他の図面でも同様である。

これらの電流値は、式 (6)、(8)、(10) における比例係数 (C [5]～C [0]、D [5]～D [0]、E [5]～E [0]) に対応した大きさになっている。したがって、電流源を何個並列に配置すればよいか、また、各々の電流源から出力される電流の値をどれくらいにすればよいかは、階調数の領域の分割数や、各領域の階調数の範囲の幅や、領域毎のグラフの傾きなどにより、設定することができる。

例えば、ある領域において、あるピットの入力端子がある電流源の入力端子に接続され、別の領域では、別のピットの入力端子が当該電流源と同じ大きさの電流源と接続されることを想定する。そのような場合は、電流源を 2 つの領域で共用することができる。

このように、1 つの電流源に対して複数の入力端子と接続できるようにしたりすることにより、電流源の個数を少なくすることができる。電流源の個数が少なくなることにより、レイアウト面積が小さくできたり、回路規模が小さくなるため、歩留まりが向上したり、動作を簡単にしたりすることができる。

次に、図 3、図 4 を用いて、切替え回路 101 又はスイッチグループ 202 の具体的な構成を説明する。図 3、4 には、切替え回路 101、もしくはスイッチグループ 202 の部分的な回路図を示す。図 3 は、1 つの入力端子が、スイッチユニットを介して複数の電源線と接続される例を示しており、

一方、図4は複数の入力端子が1つの電流源に接続される例を示している。

まず、図3の場合について説明する。図3では、簡単のため、1つの入力端子に対して、3つのスイッチ、3つの電流源311～313を用いる場合を示す。入力端子301には、Xビットの信号が入力されるとする。3つのスイッチ303～305が並列に接続され、各スイッチ303～305に対して直列に電流源311～313の入力端子が接続されている。各電流源311～313の出力端子は、それぞれ、出力端子106に接続されている。スイッチ303～305をまとめた回路302が、切替え回路101もしくはスイッチグループ202の一部分をなすスイッチユニットとなる。前記回路302は、領域判定回路201から入力される信号などを用いて制御される。

図3に図示のとおり、スイッチと電流源の組みを3つ配置することにより、最低でも、階調数が3つの領域に分割されている場合に適用することができる。つまり、スイッチ303～305のうちのどれか1つずつを導通状態にすることにより、3つの電流源311～313から1つずつ、入力端子301が接続されるものを選択することができるからである。さらに、スイッチ303～305を同時に複数個導通状態にすることにより、入力端子301が接続される電流源311～313の組合せを3とおり以上にすることができるため、階調数が分割される領域の数を3つよりも多くすることができる。

また、Xビット以外の信号が入力される場合も、それぞれ、同様に配置することができる。また、1つの電流源に対して、複数のビットの信号が入力されるようにすれば、電流源の総数を減らすことができる。

そこで、図4に、1つの電流源に対して複数の入力端子が接続される場合の回路の例を示す。簡単のため入力端子が3個の場合を示す。

入力端子 401～403 は、それぞれ、スイッチ 405～407 を介して、電流源 411 の入力端子に接続されている。また電流源 411 の電源出力端子は出力端子 106 に接続されている。

スイッチ 405～407 をまとめた回路 404 が切替え回路 101 もしくはスイッチグループ 202 の一部分を成すスイッチユニットとなる。前記回路 404 は領域判定回路 201 から入力される信号などを用いて制御される。

このように、3つのスイッチ 405～407 を配置することにより、最低でも、階調数が3つの領域に分割されている場合に適用することができる。

つまり、スイッチ 405～407 のうちのいずれか1つを導通状態にすることにより、電流源 411 に接続される3つの入力信号を選択することができる。このように、1つの電流源が接続できる入力端子を複数設けることで、1つの電流源を複数の領域で使用することができ、電流源の総数を減らすことができる。

実際の切替え回路 101 もしくはスイッチグループ 202 は、図3の回路 302 もしくは図4の回路 404 により、あるいは図3の回路 302 と図4の回路 404 とが複合的に用いられた回路が適宜に組合わされて構成される。ある1つのビットのデータに対応する入力端子が複数の電流源に接続できるように、或は、ある1つの電流源が複数のビットの入力端子と接続できるようになるように切替え回路 101 もしくはスイッチグループ 202 が構成される。

このような切替え回路 101 を用いることにより、入力端子から入力される信号の階調数と、出力端子 106 から出力される電流の関係を表すグラフを折れ線状のグラフにすることができる。

(実施の形態 3)

本実施の形態では切替え回路 101 の回路のより具体的な構成について説明する。まず実施形態 2 及び 3 を適用するに際して、最も単純な例として、階調数の領域を 2 等分し、後半の領域では、階調数と電流の関係を表すグラフの傾きが前半の領域の 2 倍になるような動作を実現するための切替え回路について説明する。

まず、各領域における階調数と電流の関係を示す関数について述べる。次にその関数を実現するための回路構成について説明する。

本実施の形態を含め実施形態 4 ~ 8 では、切替え回路の入力信号のビット数は、例として 6 ビットとしている。そして、最下位ビットである 1 ビット目は a、2 ビット目は b、3 ビット目は c、4 ビット目は d、5 ビット目は e、6 ビット目は f を使って表すことにする。また、また、実施形態 3 ~ 8 では、入力端子から入力される信号はデジタル信号を想定しているため、a ~ f は、0 か 1 かどちらかの数字をとることになる。よって、a ~ f に対応する信号の各入力端子からは、1 (ハイレベル信号、以下「H 信号」と記す。) 又は 0 (ロウレベル信号、以下「L 信号」と記す) のいずれかが入力される。

また、電流源の入力端子に 1 (H 信号) が入力されれば、各電流源からは電流が出力され、入力端子に 0 (L 信号) が入力されれば、電流源から電流 20 が output されないものとする。なお、電流源から電流が出力されるか否かを制御するのは、これに限定されるものではない。

まず、各領域における、階調数と電流値の関係を示す式について述べる。本実施の形態では、階調数の領域を真ん中で 2 つに分けているため、入力される信号が、前半の領域か後半の領域に属するかを判断する必要がある。25 本実施形態では、入力される信号が 6 ビット ($2^6 = 64$) であるから、境

界の階調数が $3 \cdot 2 = 2^5$ となる。よって 6 ビット目の信号 f は階調数の前半の領域に含まれない。

したがって、領域の判別に最上位ビット（6 ビット目）の信号 f に着目すればよい。入力される信号の最上位ビット f が 0（L 信号）であれば、階調数の前半の領域であり、1（H 信号）であれば、後半の領域であると判断できる。

次に階調数と電流値の関係を示す関数を導出する。まず階調数の前半の領域では、電流値 L は式（1 1）で表すこととする。

$$10 \quad L = a * I_0 + b * 2 * I_0 + c * 4 * I_0 + d * 8 * I_0 \\ + e * 16 * I_0 + f * 32 * I_0 \dots \quad (1 1)$$

このように、式（1 1）は、通常の 2 進数の数を表現する一般的な式である。前半の領域では 6 ビット目の入力信号 f が 0 の場合なので、式（1 1）は式（1 2）のように書ける。

$$15 \quad L = a * I_0 + b * 2 * I_0 + c * 4 * I_0 + d * 8 * I_0 \\ + e * 16 * I_0 \dots \quad (1 2)$$

6 ビット目の入力信号 f が 1（H 信号）の場合、つまり、階調数の後半の領域では、電流値 L は式（1 3）で表される。後半の領域では、階調数と電流の関係を表すグラフの傾きが、前半の傾きの 2 倍であることから、式（1 1）の $a \sim f$ の比例係数を 2 倍にする。

$$20 \quad L = a * 2 * I_0 + b * 4 * I_0 + c * 8 * I_0 + d * 16 * I_0 \\ + e * 32 * I_0 + L_1 \\ = a * 2 * I_0 + b * 4 * I_0 + c * 8 * I_0 + d * 16 * I_0 \\ + e * 32 * I_0 + f * 32 * I_0 \dots \quad (1 3)$$

式（1 3）では、 L_1 は領域の境界における L の値である。境界の階調数 G_1 が 32 であることから、式（1 1）において $a \sim d = 0$ を代入して算出

でき、 $L_1 = f * 32 * I_0$ である。6 ビット目の入力信号 f が 1 (H 信号) のので、式 (13) は式 (14) のように表すことができる。

$$L = a * 2 * I_0 + b * 4 * I_0 + c * 8 * I_0 + d * 16 * I_0 \\ + e * 32 * I_0 + 32 * I_0 \dots \quad (14)$$

5 式 (11) と式 (13) の $a \sim f$ の比例係数を比較してみると、 $2 * I_0$ 、 $4 * I_0$ 、 $8 * I_0$ 、 $16 * I_0$ 、 $32 * I_0$ は、いずれかの比例係数として両方の式にも用いられていることが分かる。従って、これらの比例係数は領域が異なっても共用できることが分かる。つまり、切替え回路において、これらの比例係数に相当する大きさの電流源を共用することができる。

10 そのため、用いる電流源の数を減らすことが出来る。

このように、入力信号が2進数の場合において、領域によって傾きが 2 (2^1) 倍になる場合は、信号が入力される電流源の大きさも 2 倍になる場合が多い。よって、用いる電流源の桁を 1 つだけずらせば良く、そのような電流源は傾きが 2 倍になるような領域でも用いられることになり、共用するこ

15 とが可能となる。

次に、図 5 を用いて、上記の式 (11)、(13) を実現するための回路について説明する。

1 ビット～6 ビット目の信号 $a \sim f$ を入力するために、6 つの入力端子 501～506 が設けられている。各入力端子 501～506 はスイッチグループ 202 を介して、各電流源 511～516 の入力端子に接続されている。電流源 511～516 のそれぞれの電流出力端は出力端子 106 に接続されている。スイッチグループ 202 の接続状態は、信号領域判定回路 201 からの制御信号によって切替えられる。

上記式 (11)、(13) を実現するように、 $a \sim f$ の係数を基に必要な電流源の個数、及び電流源から出力される電流値の値が決定される。図 5 に

示すとおり、式（11）と（13）とで $a \sim f$ の比例係数として共通に用いられている「 $2 * I_0$ 」、「 $4 * I_0$ 」、「 $8 * I_0$ 」、「 $16 * I_0$ 」、「 $32 * I_0$ 」の値の電流を出力するために 5 つの電流源 $512 \sim 516$ と、共通に用いられていない式（11）の a の係数「 I_0 」に対応する電流源 511 と、式（13）の f の係数「 $32 * I_0$ 」に対応する電流源 517 とでなり、合計 7 つの電流源 $511 \sim 517$ が用いられている。

領域判定回路 201において、6 ビット目の入力信号 f の値によって、階調数がどの領域に属しているかを判断している。そのため、領域判定回路 201 には、入力される信号を反転するためのインバータ 521 と、インバータ 521 の入力に接続された配線 522 と、インバータ 521 の出力に接続された 523 が配置されている。配線 522 には入力端子 506 に接続され、信号 f が入力される。よって、配線 523 には、インバータ 521 で反転された信号 f の反転信号が入力される。

スイッチグループ 202 には、配線 522 からの制御信号により制御される第 1 のスイッチ $531 \sim 536$ と、配線 523 からの制御信号により制御される第 2 のスイッチ $541 \sim 546$ が設けられている。第 1 のスイッチ $531 \sim 536$ は、それぞれ、入力側が入力端子 $501 \sim 506$ に接続され、出力側が電流源 $512 \sim 517$ に接続されている。他方、第 2 のスイッチ $541 \sim 546$ は、それぞれ、入力側が入力端子 $501 \sim 506$ に接続され、出力側に電流源 $511 \sim 516$ が接続されている。

以上の構成により、スイッチグループ 202 では、領域判定回路 201 から出力される信号、つまり、6 ビット目の入力信号 f とその反転信号によって、各入力端子 $501 \sim 506$ がどの電流源 $511 \sim 517$ の入力端子に接続されるかを切替えている。つまり、配線 522 と配線 523 の信号によって、スイッチグループ 202 に設けられた第 1 のスイッチ $531 \sim 536$ 及

び第2のスイッチ541～546の接続状態を切替えている。よって、図5のスイッチグループ202の構成は、実施の形態1の図3の回路302に対応しており、第1と第2のスイッチでなる6つのスイッチユニットで構成されていることとなる。

5 次に、図6、図7を用いて、図5のデジタル・アナログ変換回路の動作を説明する。

図6では、6ビット目の入力信号fが0（L信号）の場合、つまり、式（11）に対応する接続状態を示す。このときは、配線523に入力されている信号が1（H信号）になっている。したがって、配線523によって導通10状態になるスイッチ第2の541～546がオンになる。他方、配線522に入力される信号は0（L信号）であるため、第1のスイッチ531～536は非導通状態（オフ）になる。よって、1ビット目の入力信号aは、大きさ I_0 の電流源511に入力され、2ビット目の入力信号bは大きさ $2 * I_0$ の電流源512に入力され、3ビット目の入力信号cは大きさ $4 * I_0$ の電流源513に入力され、・・・という様に、入力端子501～506は、それぞれ、電流源511～516に接続される。

一方、図7では、6ビット目の入力信号fが1（H信号）の場合、つまり、式（13）に対応する接続状態を示す。このときは、配線522の信号が1（H信号）になり、配線523に入力される信号は0（L信号）になつ20ている。したがって、配線522によって導通状態になる第1のスイッチ531～536がオンになり、他方の第2のスイッチ541～546は非導通状態になる。したがって1ビット目の入力信号aは大きさ $2 * I_0$ の電流源512に入力され、2ビット目の入力信号bは大きさ $4 * I_0$ の電流源513に入力され、3ビット目の入力信号cは大きさ $8 * I_0$ の電流源514に25入力され、・・・という様に、入力端子501～506は、それぞれ、電流

源 512～517 に接続される。

なお、式 (12)、(14) を用いて、さらに、入力端子 506 から 0 (L 信号) が電流源 517 に入力されたときには、電流源 517 から電流が流れないと、というようにすると、図 8 に示すようにスイッチグループ 202 を 5 簡単にすることができる。つまり、図 5 のスイッチグループ 202 において、入力端子 506 に接続されるスイッチ 536 と 546 を省略することができる。

次に、図 8 におけるスイッチグループ 202 を、デジタル回路を用いて構成した場合の回路図を図 9 に示す。

10 図 9 では、スイッチグループ 202 を AND 回路と OR 回路で構成した例であり、7 つの電流源に対して、6 つのスイッチユニット 551～554、561、562 を設けた例である。

スイッチグループ 202 には、異なる階調領域で共用される電流源 512～515 の入力端子には、それぞれ、図示のとおり 2 つの AND 回路と、これら 2 つの AND 回路の出力側に接続された 1 つの OR 回路とでなる回路 5 51～554 に接続されている。一方、共用されない電流源 511 と 516 の入力端子には、それぞれ、AND 回路 561、562 が接続されている。

以下に、図 9 の回路の動作方法を説明する。

6 ビット目の入力信号 f が 0 (L 信号) の場合、つまり、式 (12) に対応する場合は、配線 523 に入力される信号 f の反転信号が 1 (H 信号) になり、他方の配線 522 の信号は L 信号である。

したがって、スイッチグループ 202 において、配線 523 に接続されている AND 回路は、その AND 回路の他方の入力から入力される信号 $b \sim e$ の値をそのまま出力する。一方、配線 522 と接続されている AND 回路からは 0 (L 信号) 出力されることとなる。よって回路 551～554 の OR

回路において、一方の配線 522 に接続されている AND 回路の出力が 0 であることから、他方の配線 523 に接続された AND 回路の出力である信号 b～e の値が出力されることとなる。

したがって、入力端子 501～506 と電流源 511～517 との接続状態は図 6 と同様になる。すなわち、入力端子 501～505 からの信号 a～e は、それぞれ、電流源 511～515 に入力され、各電流源 511～515 は信号 a～e の値に応じて電流を出力端子 106 に出力し、出力端子 106 から出力される電流値は式 (12) のとおりになる。

6 ビット目の入力信号 f が 1 (H 信号) の場合、つまり、式 (14) に対応する場合は、配線 522 には H 信号が入力され、配線 523 には信号 f の反転信号が入力されるため、L 信号が入力される。

したがって、スイッチグループ 202 において、配線 522 に接続されている AND 回路は、その AND 回路の他方の入力から入力される信号 a～d の値をそのまま出力し、配線 523 に接続されている AND 回路からは 0 (15 L 信号) が出力されることとなる。回路 551～554 の OR 回路は、配線 523 に接続されている AND 回路の出力が 0 であるので、配線 522 に接続された AND 回路の出力である信号 a～d の値を出力する。

したがって、図 7 と同様に、入力端子 501～506 からの信号 a～f は、それぞれ、電流源 512～517 に入力され、各電流源は信号 a～f の値に応じて電流を出力端子 106 に出力するため、出力端子 106 から出力される電流値は式 (14) のとおりになる。

以上のとおり領域判定回路 201 とスイッチンググループ 202 が協同することで、異なる階調に対応して、入力端子 501～506 が適切な電流源 511～517 に接続される。図 9 のスイッチグループ 202 を AND 回路と OR 回路で構成したが、これに限定されるものではない。NAND 回路、

NOR回路、インバータ回路、トランസファーゲート回路（アナログスイッチ）、トライステートバッファ回路など、様々な回路を用いて、スイッチングループ202や切替え回路101を構成することができる。

図10に、本実施の形態のデジタル・アナログ変換の実行結果について示す。横軸が回路の入力信号の階調数であり、縦軸が出力端子106から出力される電流値である。図10から分かるとおり、階調数の領域が2等分され、後半の領域では、グラフの傾きが、前半の場合の傾きの2倍になっているという、折れ線状のグラフになっており、電圧電流変換と共にガンマ補正も行われていることがわかる。

10

(実施の形態4)

本実施の形態では、実施の形態3と同じく階調数の領域を2等分し、後半の領域では、階調数と電流の関係を表す一次関数の傾きが前半の領域の3倍とした場合について説明する。つまり本実施の形態は、実施の形態3とは後半の領域の傾きだけが異なるためであるため、主に、実施の形態3と違うがある部分について説明する。

まず、階調数と電流の関係を示す関数を導出する。

階調数が前半の領域、つまり6ビット目の入力信号fが0（L信号）のときは、実施の形態3と同様、階調数と電流の関係は式（11）又は式（12）で表される。

後半の領域、つまり6ビット目の入力信号fが1（H信号）の場合は、階調数と電流の関係は式（15）のようになる。後半の領域では階調数と電流の関係を表すグラフの傾きが、前半の領域の3倍になるからであり、式（11）又は（12）に対してa～fの比例係数が3倍になっている。

25 $L = a * 3 * I_0 + b * 6 * I_0 + c * 12 * I_0 + d * 24 * I_0$

$$\begin{aligned}
 & + e * 48 * I0 + L1 \\
 & = a * 3 * I0 + b * 6 * I0 + c * 12 * I0 + d * 24 * I0 \\
 & + e * 48 * I0 + f * 32 * I0 \dots (15)
 \end{aligned}$$

式(15)では、 $L1$ は、領域の境界における L の値である。実施の形態
5 3と同様に、 $L1 = f * 32 * I0$ となる。また、6ビット目の入力信号 f
は、式(15)において常に1(H信号)である。

しかしながら、式(15)には、式(11)や式(12)と同じ大きさの
係数がない。そこで、前半の領域と後半の領域とで電流源が共用できるよう
にするため、式(15)を式(16)のように変形する。

$$\begin{aligned}
 10 \quad L &= a * (2 * I0 + I0) + b * (4 * I0 + 2 * I0) \\
 & + c * (8 * I0 + 4 * I0) + d * (16 * I0 + 8 * I0) \\
 & + e * (32 * I0 + 16 * I0) + f * 32 * I0 \dots (16)
 \end{aligned}$$

式(12)と式(16)を対比すると、 $I0$ 、 $2 * I0$ 、 $4 * I0$ 、 $8 * I0$ 、 $16 * I0$ 及び $32 * I0$ は、同じ数($a \sim f$)に対する係数として、式(12)、(16)の両方に用いられているため、それらの大きさを
15 持つ電流源は階調数の領域が異なっても共用できることがわかる。

次に、図11を用いて、式(12)、(16)を実現するための回路について説明する。図11の回路は、6ビット目の入力信号 f が0(L信号)の場合は、式(12)に対応する接続状態になり、一方、6ビット目の入力信号 f が1(H信号)の場合は、式(16)に対応する接続状態になる。

図11に示すように、領域判定回路201は最上位の6ビット目の入力信号 f を用いて階調数の領域を判断できるように、入力端子506に接続された配線601が設けられている。

電流源の数及び出力する電流値は、式(12)と式(16)とで決められ
25 る。上述したように、同じ数($a \sim f$)に対して共通する係数「 $I0$ 」、「

「 $2 * I_0$ 」、「 $4 * I_0$ 」、「 $8 * I_0$ 」、「 $16 * I_0$ 」及び「 $32 * I_0$ 」の大きさの電流を出力する6つの電流源 $611 \sim 616$ と、共通していない係数「 $2 * I_0$ 」、「 $4 * I_0$ 」、「 $8 * I_0$ 」、「 $16 * I_0$ 」及び「 $32 * I_0$ 」の大きさの電流を出力する5つの電流源 $621 \sim 625$ が用いられる。

スイッチグループ202には、5つのAND回路 $631 \sim 635$ が配置されている。これらのAND回路 $631 \sim 635$ は、一方の入力が配線601に接続され、他方の入力がそれぞれ入力端子 $501 \sim 505$ に接続され、出力がそれぞれ電流源 $621 \sim 625$ に接続されている。

10 共用される電流源 $611 \sim 616$ には、信号 f の値にかかわらず、信号 $a \sim f$ に対応する入力端子 $501 \sim 506$ の信号が入力されるように、各入力端子 $501 \sim 506$ がスイッチを介さずに直接に接続されている。

図11のデジタル・アナログ変換回路は、1つの入力端子に対して2つの電流源を設けたものであって、11個のうち、6個の電流源に対して6個のスイッチユニットを設け、5個の電流源をスイッチユニットを介さずに入力端子に接続したものである。

なお、図11では、式(12)、(16)に対応させたデジタル・アナログ変換回路図を示したが、式(12)、(15)に対応させて回路を構成してもよい。その場合の回路を図12に示す。

20 図12のデジタル・アナログ変換回路は、6ビット目の入力信号 f が0(L信号)の場合は、式(12)に対応する接続状態となり、一方、6ビット目の入力信号 f が1(H信号)の場合は、式(15)に対応する接続状態になるような構成になっている。

領域判定回路201は、実施の形態3の領域判定回路201と同様、入力端子 506 からの入力信号 f が入力される配線522と、配線522に入力

側が接続されたインバータ 521 と、インバータの出力が入力される配線 523 が配置されている。

式 (15) に対応させるため、図 11 の共用されない電流源 621～625 を、それぞれ、式 (15) の a～f の係数 「3*I0」、「6*I0」、5 「12*I0」、「24*I0」、「48*I0」 に対応する電流を出力する電流源 631～635 に変更している。

スイッチグループ 202 には、入力端子 501～505 を電流源 611～615 に接続させるための第 1 の AND 回路 641～645 と、電流源 631～635 に接続させるための第 2 の AND 回路 651～655 が設けられ 10 ている。第 1 の AND 回路 641～645 は一方の入力が配線 523 に接続され、第 2 の AND 回路 651～655 は一方の入力が配線 522 に接続されている。

図 12 の切替え回路 101 の動作は、信号 f が 0 (L 信号) のときは第 1 の AND 回路 641～645 により、入力端子 501～505 は電流源 611～615 に接続され、信号 f が 1 (H 信号) のときは第 2 の AND 回路 651～655 により、入力端子 501～505 は電流源 631～635 に接続される。

図 11、図 12 における切替え回路 101 はデジタル回路の 1 種である AND 回路を用いて構成しているが、これに限定されない。スイッチ、あるいは 20 は他の論理回路である OR 回路、NAND 回路、NOR 回路、インバータ回路、トランスマニアゲート回路 (アナログスイッチ)、トライステートバッファ回路など、様々な回路を用いて、切替え回路 101 を構成することができる。

本実施の形態では、階調数と電流の関係を示すグラフの傾きが実施の形態3、4とは異なる場合の例を示す。本実施の形態では、階調数の領域を2等分し、後半の領域では、階調数と電流の関係を表す一次関数の傾きが前半の領域の4倍とした場合について説明する。

5 本実施の形態は実施の形態3、4とは後半の領域における関数の傾きが異なるだけであるため、異なる部分を中心に説明する。

6 ビット目の入力信号fが0（L信号）の場合、つまり、階調数の前半の領域では、階調数と電流の関係は実施の形態3、4と同様であり、式（11）や式（12）で表される。

10 6 ビット目の入力信号fが1（H信号）の場合、つまり、階調数の後半の領域では、階調数と電流の関係を表す一次関数の傾きが、前半の傾きの4倍になるため、階調数と電流の関係は式（17）で表され、比例係数が式（11）、（12）の4倍になっている。

$$\begin{aligned}
 L &= a * 4 * I_0 + b * 8 * I_0 + c * 16 * I_0 + d * 32 * I_0 \\
 15 &+ e * 64 * I_0 + L_1 \\
 &= a * 4 * I_0 + b * 8 * I_0 + c * 16 * I_0 + d * 32 * I_0 \\
 &+ e * 64 * I_0 + f * 32 * I_0 \dots \quad (17)
 \end{aligned}$$

式（17）において、 L_1 は、領域の境界におけるLの値であり、実施の形態3、4と同じく、 $L_1 = f * 32 * I_0$ である。また、6ビット目の入

20 力信号fは、式（17）において、常に1（H信号）である。

式（12）と式（17）を比較してみると、 $4 * I_0$ 、 $8 * I_0$ 、 $16 * I_0$ の比例係数はa～eのいずれかの係数として両方の式に用いられていることが分かる。従って、これらの比例係数の大きさの電流を出力する電流源は、階調の領域が異なっても共用できる。そのため、用いる電流源の数を減

25 らすことができる。

このように、入力信号が2進数の場合において、領域によって傾きが4（2²）倍になる場合は、信号が入力される電流源の大きさも4倍になる場合が多い。よって、用いる電流源の桁を2つだけずらせば良く、そのような電流源は、傾きが4倍になるような領域でも用いられることになり、共用することが可能となる。

図13に、式（12）、（17）に対応させたデジタル・アナログ変換回路を示す。

図13の回路は、領域判定回路201において、最上位の6ビット目の入力信号fを用いて階調の領域を判断し、スイッチグループ202において、領域判定回路201から出力される信号に基づいて、入力端子に接続される電流源を切替えている。

領域判定回路201には、実施形態3の図5や、実施形態4の図12の場合と同様、インバータ521、配線522及び523が配置されている。

電流源の数およびその出力する電流の値は式（12）及び式（17）決定される。上述したように異なる領域で共用できる「4*I0」、「8*I0」、「16*I0」の大きさの3つの電流源701～703と、式（12）のみの比例係数「I0」、「2*I0」に対応する電流源711と712、及び式（17）のみの比例係数「32*I0」、「64*I0」及び「32*I0」に対応する3つの電流源713～715の、計8つの電流源が並列に配置されている。

スイッチグループ202の構成は、実施形態3の図9と同様である。共用される電流源701～703の入力端子には、それぞれ、図示のとおり2つのAND回路と1つのOR回路となる回路721～723が接続されている。式（12）のみの比例係数に対応する電流源711、712の入力端子はそれぞれAND回路724、725を介して入力端子501、502に接

続されている。式(17)のみの比例係数「32*I0」、「64*I0」に対応する電流源713、714は、それぞれAND回路726、727を介して、入力端子504、505に接続されている。

また、領域の判別に用いられている入力端子506は、AND回路など

5 イッチを介さずに直接に電流源715に接続されている。

即ち、図13の切替え回路101は、8個の出力端子に対して、7個のスイッチユニット724～727を設け、1つの出力端子にはスイッチユニットを介さずに入力端子を接続させたものである。

以下、図14、図15を用いて、図13のデジタル・アナログ変換回路の10 動作を説明する。

図14は、6ビット目の入力信号fが0(L信号)の場合、つまり、式(12)に対応する接続状態を示す。このときは、領域判定回路201において、配線523には1(H信号)が入力され、他方の配線522の信号は0の信号(L信号)が入力されている。

15 配線523に接続されているAND回路は、そのAND回路のもう一つの入力信号の値をそのまま出力する。また、配線522の信号は0(L信号)であるため、配線522に接続されているAND回路の出力は0(L信号)である。よって、回路721～723は、配線523に接続されたAND回路の出力値を出力する。

20 その結果、点線で示す矢印のように、入力端子501～505からの信号a～eは、それぞれ、電流源711、712、701～703に入力され、各電流源は信号a～eの値に応じて電流を出力端子106に出力する。入力端子506からの信号fは0(L信号)であるため、電流源715からは電流は出力されない。

25 一方、図15では、6ビット目の入力信号fが1(H信号)の場合、つま

り、式(17)に対応する接続状態になっている。このときは、配線522の上の信号が1(H信号)になり、他方の配線523の信号は0(L信号)となっている。したがって、図15に点線で示す矢印のように、入力端子501～506からの信号a～fは、それぞれ、電流源701～703、715～716に入力され、各電流源は信号a～fの値に応じて電流を出力端子106に出力する。なお、図13における切替え回路101は、デジタル回路として、AND回路とOR回路を用いて構成しているが、これに限定されない。スイッチ、NAND回路、NOR回路、インバータ回路、トランスマニアゲート回路(アナログスイッチ)、トライステートバッファ回路など、様々な回路を用いて、切替え回路101を構成することができる。

(実施の形態6)

本実施の形態では、階調数の領域の分割方法を実施の形態3～5と異ならせ、階調数の領域を2つに分けるが、前半の領域を全体の3/4の幅とし、15後半の領域を全体の1/4の幅とし、また後半の領域における階調数と電流の関係を表すグラフの傾きは、実施の形態5と同様、前半の場合の傾きの4倍になる場合について説明する。

まず、本実施の形態では、実施の形態3～5とは、階調数の領域の分け方が異なる。したがって、階調数の領域を判断するための方法が異なる。

20 本実施の形態では、階調数が $64 = 2^6$ であり、後半の領域は1/4の幅であるから、境界の階調数G1は48になる。したがって、後半の領域に属する階調数の信号は、5ビット目の入力信号eと6ビット目の入力信号fとが両方とも1(H信号)の場合である。5ビット目の入力信号eと6ビット目の入力信号fのどちらか1つでも1でなければ、前半の3/4の領域に属25することになる。したがって、5ビット目の入力信号eと6ビット目の入力

信号 f の論理積 (AND) をとったデータを用いて、階調の領域を判断することができる。つまり、5 ビット目の入力信号 e と 6 ビット目の入力信号 f の両方が 1 (H 信号) の場合と、それ以外の場合というように、階調の領域を判定すればよい。

5 次に、階調数と電流の関係を示す関数について説明する。階調数の前半の領域では、実施の形態 3 と同様、式 (1 1) 又は式 (1 2) で表されるとする。

階調数の後半の領域、つまり、5 ビット目の入力信号 e と 6 ビット目の入力信号 f の両方が 1 (H 信号) の場合では、階調数と電流の関係を示す式は
10 式 (1 8) のようになる。後半の領域では、階調数と電流の関係を表す一次関数の傾きが、前半の傾きの 4 倍であるからである。

$$\begin{aligned}
 L &= a * 4 * I_0 + b * 8 * I_0 + c * 16 * I_0 + d * 32 * I_0 \\
 &+ L_1 \\
 &= a * 4 * I_0 + b * 8 * I_0 + c * 16 * I_0 + d * 32 * I_0 \\
 &+ e * 16 * I_0 + f * 32 * I_0 \dots \quad (1 8)
 \end{aligned}$$

ここで、 L_1 は、領域の境界である階調数 $G_1 = 48 = 2^4 + 2^5$ における L の値である。したがって、式 (1 1) において、 $a \sim d = 0$ 、 $e, f = 1$ を代入して算出でき、 $L_1 = 16 * I_0 + f * 32 * I_0$ である。5 ビット目の入力信号 e と 6 ビット目の入力信号 f は、常に 1 (H 信号) であるから、式 (1 8) においては、 $e, f = 1$ である。
20

式 (1 2) と式 (1 8) を比較してみると、 $4 * I_0, 8 * I_0, 16 * I_0, 32 * I_0$ の比例係数は、 $a \sim f$ のいずれかの係数として、両方の式に用いられていることが分かる。従って、これらの比例係数の大きさを持つ電流源は階調の領域が異なっても共用できる。そのため、用いる電流源の数
25 を減らすことができる。

このように、入力信号が2進数の場合において、領域によって傾きが4（
2²）倍になる場合は、信号が入力される電流源の大きさも4倍になる場合が多い。よって、用いる電流源の桁を2つだけずらせば良く、そのような電流源は、傾きが4倍になるような領域でも用いられることになり、共用すること

5 とが可能となる。

図16に、式（12）、（18）に対応させたデジタル・アナログ変換回路を示す。

領域判定回路201では5ビット目の信号eと、6ビット目の信号fを用いて領域判定を行う。領域判定回路201には、信号e及びfが入力される
10. AND回路801が配置され、AND回路801の出力は配線802に接続されている。配線802には、AND回路801の出力を反転するためのインバータ803が接続され、インバータ803の出力は配線804に接続されている。

また、電流源として、式（12）と式（18）で共通の比例係数「4*I
15 0」、「8*I0」、「16*I0」及び「32*I0」の大きさの電流を出力する4つの電流源811～814と、式（12）のみで用いられている比例係数「I0」、「2*I0」の大きさの電流を出力する2の電流源821と822と、式（18）だけに用いられている境界の電流値L1に対応する「16*I0」、「32*I0」の大きさの電流を出力する2の電流源8
20 23と824との、計8つの電流源が用いられている。

スイッチグループ202は、実施の形態3の図9や実施の形態4図13と同様の構成である。異なる領域で共用される電流源811～814の入力端子には、それぞれ、図示のとおり2つのAND回路と1つのOR回路となる回路831～834が接続されている。共用されない式（12）のみの比例係数に対応する電流源821と822の入力端子にはAND回路835及

び836の出力が接続されている。AND回路835、836の一方の入力は配線804に接続されている。

また、電流源823及び824の入力は、配線802を介してAND回路801の出力に接続されており、領域判定回路201の一部をスイッチとして用いている。

図17、図18用いて、図16の回路の動作を説明する。

図17では、5ビット目の入力信号eと6ビット目の入力信号fの論理積(AND)の結果が0(L信号)の場合、つまり、式(12)に対応する接続状態になっている。

10 このときは、配線804の信号が1(H信号)になり、配線802に入力されている信号が0(L信号)になっている。したがって、スイッチグループ202において配線804に接続されているAND回路は、そのAND回路の他方の入力に接続されている入力端子501～506からの入力信号a～fの値をそのまま出力する。したがって、点線の矢印で図示のとおり、入
15 力端子501～506は、それぞれ、電流源821、822、及び811～814に接続され、各電流源は入力された信号a～fの値に応じて電流を出力端子106に出力する。

一方、図18では、5ビット目の入力信号eと6ビット目の入力信号fの論理積(AND)をとったデータが1(H信号)の場合、つまり、式(18)
20)に対応する接続状態になっている。

このときは、配線802の上の信号が1(H信号)になり、配線804の信号が0(L信号)になっている。したがって、スイッチグループ202において、配線802に接続されているAND回路は、他方の入力に接続されている入力端子からの信号の値をそのまま出力することができる状態となる。
25 他方、配線804に接続されているAND回路の出力は0(L信号)で

ある。したがって、点線の矢印で図示のとおり、入力端子 501～506 は、それぞれ、電流源 811～814 及び 823、824 に接続され、各電流源は入力された信号 a～f の値に応じて電流を出力端子 106 に出力する。

5 最後に、図 19 に本実施の形態のデジタル・アナログ変換の実行結果を示す。横軸が入力信号に対応する階調数であり、縦軸は電流値であり、出力端子 106 の出力結果である。図 19 のとおり、階調数と電流の関係を表すグラフの傾きが後半の 1/4 の幅の領域では、前半の領域の 4 倍になるような折れ線状のグラフとなっており、ガンマ補正を行うことができることがわかる。

図 16 における切替え回路 101 は、デジタル回路として、AND 回路と OR 回路を用いて構成しているが、これに限定されない。スイッチ、NAND 回路、NOR 回路、インバータ回路、トランസファーゲート回路（アナログスイッチ）、トライステートバッファ回路など、様々な回路を用いて、切替え回路 101 を構成することができる。

（実施の形態 7）

本実施の形態では、階調数の領域を 4 つに等間隔に分けて、後半の領域にいくほど、階調数と電流の関係を表す一次関数の傾きが、2 倍づつ増加する場合について説明する。

まず、階調数の領域を判断するための方法について、説明する。

領域数を 4 つに等分に分割したため、境界となる階調数 G1～G3 は、それぞれ、 $G1 = 16 = 2^4$ 、 $G2 = 32 = 2^5$ 、および $G3 = 48 = 2^4 + 2^5$ である。

25 よって、第 1 の領域では 5 ビット目の入力信号 e 及び 6 ビット目の入力信

号 f が共に 0 (L 信号) である。第 2 の領域では 5 ビット目の入力信号 e が 1 (H 信号) で、6 ビット目の入力信号 f が 0 (L 信号) である。第 3 の領域では 5 ビット目の入力信号 e が 0 (L 信号) で、6 ビット目の入力信号 f が 1 (H 信号) である。第 4 の領域では 5 ビット目の入力信号 e 及び 6 ビット目の入力信号 f が 1 (H 信号) である。したがって、上位 2 ビット分の信号 e 及び f を用いれば 4 つの領域を判別できる。

次に、各領域における階調数と電流の関係を示す関数を導出する。

まず、階調数の第 1 の領域では、階調数と電流の関係を示す式は、他の実施の形態と同様、式 (1 1) で表されるとする。本実施の形態では、常に 5 ビット目の入力信号 e が 0 (L 信号) で、6 ビット目の入力信号 f が 0 (L 信号) であるから、式 (1 1) は式 (1 9) のようになる。

$$L == a * I_0 + b * 2 * I_0 + c * 4 * I_0 + d * 8 * I_0 \dots \quad (19)$$

階調数の第 2 の領域では、第 1 の領域に対して関数の傾きが第 1 の領域の 2 倍であり、かつ 5 ビット目の入力信号 e が 1 (H 信号) で、6 ビット目の入力信号 f が 0 (L 信号) であるので、階調数と電流の関係は式 (2 0) で表される。ここで、 L_1 は、領域の境界 (階調数 $G_1 = 16$) における電流 L の値である。

$$L = a * 2 * I_0 + b * 4 * I_0 + c * 8 * I_0 + d * 16 * I_0 + L_1 \\ = a * 2 * I_0 + b * 4 * I_0 + c * 8 * I_0 + d * 16 * I_0 + 16 * I_0 \dots \quad (20)$$

階調数の第 3 の領域では、5 ビット目の入力信号 e が 0 (L 信号) で、6 ビット目の入力信号 f が 1 (H 信号) であり、傾きが第 2 の領域の 2 倍になり、結果として第 1 の領域の 4 倍になるので、階調数と電流の関係は式 (2 1) で表される。ここで、 L_2 は、領域の境界 (階調数 $G_2 = 32$) における電流 L の値である。

る電流Lの値である。

$$\begin{aligned}
 L &= a * 4 * I_0 + b * 8 * I_0 + c * 16 * I_0 + d * 32 * I_0 \\
 &\quad + L_2 \\
 &= a * 4 * I_0 + b * 8 * I_0 + c * 16 * I_0 + d * 32 * I_0 \\
 &\quad + 16 * I_0 + 32 * I_0 \dots (21)
 \end{aligned}$$

階調数の第4の領域では、5ビット目の入力信号eが1（H信号）で、6ビット目の入力信号fが1（H信号）であり、傾きが第1の領域に対して8倍になるので、関数は式（22）で表される。ここで、L3は、領域の境界（階調数G3=48）におけるLの値である。

$$\begin{aligned}
 10 \quad L &= a * 8 * I_0 + b * 16 * I_0 + c * 32 * I_0 + d * 64 * I_0 \\
 &\quad + L_3 \\
 &= a * 8 * I_0 + b * 16 * I_0 + c * 32 * I_0 + d * 64 * I_0 \\
 &\quad + 16 * I_0 + 32 * I_0 + 64 * I_0 \dots (22)
 \end{aligned}$$

式（19）、（20）、（21）、（22）のa～eの比例係数、及びL1～L3の項を比較してみると、複数の領域で用いられている項があることが分かる。従って、これらの比例係数の大きさを持つ電流源は、階調数の領域が異なっても共用できることが分かる。そのため、用いる電流源の数を減らすことができる。

このように、入力信号が2進数の場合において、領域によって傾きが2（ 2^1 ）倍、4（ 2^2 ）倍、8（ 2^3 ）倍になる場合は、信号が入力される電流源の大きさも2倍、4倍、8倍になる場合が多い。よって、用いる電流源の桁を領域ごとに1つづつずらしていけば良く、そのような電流源は、各々の領域で用いられることになり、共用することが可能となる。

ここで、入力信号が2進数の場合において、電流源の共有に関して、一般化して記載を行うこととする。

n ビット目データ $V(n)$ 、 $(n+1)$ ビット目データ $V(n+1)$ 、 $(n+2)$ ビット目データ $V(n+2)$ があり、これらのデータがある階調の領域 $K(m)$ に属するデータであるとする。そして、領域 $K(m)$ において、n ビット目データ $V(n)$ は、大きさ $I(k)$ の電流源に入力され、
 5 $(n+1)$ ビット目データ $V(n+1)$ は、大きさ $I(k+1)$ の電流源に入力され、 $(n+2)$ ビット目データ $V(n+2)$ は、大きさ $I(k+2)$ の電流源に入力されるとする。

そして、各ビットのデータの示す階調数が大きくなり、そのデータは、次の領域 $K(m+1)$ の階調数に属するものになったとする。そして、領域 $K(m+1)$ でのグラフの傾きは、領域 $K(m)$ での傾きに対して、 2^P 倍であったとする。ここで、P は整数であるとする。その場合、領域 $K(m+1)$ において、n ビット目データ $V(n)$ は、大きさ $I(k+P)$ の電流源に入力され、 $(n+1)$ ビット目データ $V(n+1)$ は、大きさ $I(k+P+1)$ の電流源に入力され、 $(n+2)$ ビット目データ $V(n+2)$ は、大きさ $I(k+P+2)$ の電流源に入力されるようになるとする。
 10 15

例えば、領域 $K(m+1)$ でのグラフの傾きは、領域 $K(m)$ での傾きに対して 2 倍 (2^1 倍) であったとする。その場合、領域 $K(m+1)$ において、n ビット目データ $V(n)$ は、大きさ $I(k+1)$ の電流源に入力され、 $(n+1)$ ビット目データ $V(n+1)$ は、大きさ $I(k+2)$ の電流
 20 源に入力されるようになる。したがって、大きさ $I(k+1)$ の電流源と大きさ $I(k+2)$ の電流源とは、領域 $K(m)$ と $K(m+1)$ とで共用できることになる。また、大きさ $I(k+1)$ の電流源には、 $(n+1)$ ビット目データ $V(n+1)$ か n ビット目データ $V(n)$ かのどちらかが入力されることになり、大きさ $I(k+2)$ の電流源には、 $(n+2)$ ビット目データ $V(n+2)$ か $(n+1)$ ビット目データ $V(n+1)$ かのどちらかが入
 25

力されることになるため、それらを切り替えるような動作を行うように、スイッチグループを構成する。

同様に、領域K (m + 1) でのグラフの傾きは、領域K (m) での傾きに
5 対して、4倍 (2⁰倍) であったとする。その場合、領域K (m + 1) にお
いて、nビット目データV (n) は、大きさI (k + 2) の電流源に入力さ
れるようになる。したがって、大きさI (k + 2) の電流源は、領域K (m)
とK (m + 1) とで共用できることになる。また、大きさI (k + 2) の電流源には、(n + 2) ビット目データV (n + 2) かnビット目データV
10 (n) かのどちらかが入力されることになるため、それらを切り替えるよ
うな動作を行うように、スイッチグループを構成する。

以上のような原理に基づき、電流源を共用させればよい。

図20に、式(19)、(20)、(21)、(22)に対応させたデジタル・アナログ変換回路を示す。

各式(19)～(22)において、a～dのいずれかの比例係数として、
15 2つ以上の式で共通に用いられている係数は、「2*I0」「4*I0」「
8*I0」「16*I0」及び「32*I0」であるので、これらの値の
電流を出力するための5つの電流源901～905が用いられる。また、各
式(19)～(22)において、単独で使用されている係数は、式(19)
におけるaの係数「I0」、式(22)におけるdの係数「64*I0」で
20 あり、これらの値の電流を出力する電流源906と907が設けられてい
る。さらに、各境界における電流値L1～L3の項に用いられている「16
*I0」「32*I0」及び「64*I0」に対応する3つの電流源908
～910が設けられている。以上、合計10個の電流源が並列に配置されて
いる。

25 領域判定回路201には、領域判定信号出力回路921が設けられてい

る。領域判定出力信号回路 921 の入力には、上位 2 ビットの入力端子 505 及び 506 が接続されている。その出力には、第 1 ~ 第 4 の領域を選択するため制御信号を出力する 4 本の配線 922 ~ 925 が接続されている。

領域判定信号出力回路 921 には、図 21 に示すように、2 つのインバータ 926、927 と、4 つの AND 回路 928 ~ 931 が配置され、AND 回路 923 ~ 931 の出力は、それぞれ、配線 922 ~ 925 に接続されている。5 ビット目の入力信号 e と 6 ビット目の入力信号 f は、それぞれ、インバータ 926、927 において反転される。

上述したように、第 1 ~ 第 4 の領域では、「 $e = 0, f = 0$ 」、「 $e = 1, f = 0$ 」、「 $e = 0, f = 1$ 」、「 $e = 1, f = 1$ 」であることを用いて該当する階調数の領域を判別するため、AND 回路 928 ~ 931 の入力は、一方は信号 f 又はその反転信号のいずれかが入力され、他方は信号 e 又はその反転信号のいずれかが入力される。例えば、階調数が第 1 の領域に属するときは、信号 e 及び f 共に 0 (L 信号) であるから、AND 回路 928 からの出力のみが 1 (H 信号) となり、他の AND 回路の出力は 0 (L 信号) となるため、配線 922 だけに 1 (H 信号) が出力され、他の配線 923 ~ 925 への出力は 0 (L 信号) が出力されることになる。第 2 ~ 第 4 の領域に関しても同様である。このように、領域判定信号出力回路 921 出力される信号は、階調数が属する領域の情報を反映したものとなっている。

スイッチグループ 202 には、スイッチユニット 941 ~ 950 が電流源と同じ数だけ配置され、それぞれ、異なる電流源の入力端子に接続されている。スイッチユニット 941 ~ 950 は入力端子 501 ~ 506 からの入力信号 a ~ f や領域判定回路 201 からの信号、即ち、配線 922 ~ 925 に入力されている信号を用いて、電流を流すかどうかを判断する信号を電流源に出力している。

スイッチユニット 941～950 の構成例を図 22 に示す。各スイッチユニット 941～950 では、入力配線が 2 本 1 組で設けられている。2 本の入力配線の組は 1 つの AND 回路の入力に接続される。各スイッチユニットには、このような 2 本の入力配線と AND 回路となる組が 1 つ又は複数個並

5 列に配置され、AND 回路の全ての出力は 1 つの OR 回路の入力に接続され、この OR 回路からの出力信号は、各スイッチユニットに対応した 1 つの電流源の入力端子に接続されている。従って、スイッチユニットの AND 回路の少なくとも 1 つの出力が 1 (H 信号) であれば、OR 回路の出力は 1 (H 信号) になる。

10 図 22 では、例として AND 回路が 5 個配置されている場合を示しているが、AND 回路の個数はスイッチユニット 941～950 が接続されている電流源によって異なり、電流源が使用される領域の数で決定される。また、各 AND 回路に接続される 2 本の入力配線の組は、図 20 の各スイッチユニットの入力側の隣合う 2 本の配線に相当するものであり、図示のとおり、入
15 力端子 501～506 や、領域判定回路 201 の配線 922～925 に接続されている。

電流の大きさが「I 0」である電流源 906 は第 1 の領域のみで使用されるため、電流源 906 に接続されているスイッチユニット 941 は AND 回路が 1 つであり、その入力配線の組の一方の配線は入力端子 501 に、他方
20 の入力配線は配線 922 に接続されている。また、電流の大きさが「2*I 0」である電流源 901 は第 1 と第 2 の領域で使用されるため、電流源 901 に接続されているスイッチユニット 942 には 2 つの AND 回路が配置される。一方の AND 回路の入力には入力端子 502、配線 922 に接続され、他方の AND 回路には、入力端子 501 と配線 923 に接続されてい
25 る。他のスイッチユニット 943～950 も同様の構成である。

5 このように、領域判定回路 201において、上位 2 ビットの 5 ビット目の
5 入力信号 e と 6 ビット目の入力信号 f を用いて、階調の領域を判断し、スイ
5 ッチグループ 202において、領域判定回路 201 から出力される信号に基
5 づいて各スイッチユニット 941～950 を制御して、各電流源に接続され
5 る入力端子を選択している。

最後に、図 23 に本実施の形態のデジタル・アナログ変換の実行結果につ
いて示す。図 23 のとおり、階調数と電流の関係を示すグラフは、階調数の
領域が 4 等分され、グラフの傾きが領域ごとに 2 倍になっている折れ線状の
グラフになっており、ガンマ補正を行うことができることがわかる。

10 なお、図 20 における切替え回路 101 は、デジタル回路として、AND
回路と OR 回路などを用いて構成しているが、これに限定されない。スイッ
チ、NAND 回路、NOR 回路、インバータ回路、トランസファーゲート回
路（アナログスイッチ）、トライステートバッファ回路など、様々な回路を
用いて、切替え回路 101 を構成することができる。

15

（実施の形態 8）

実施の形態 3～7 では、階調数を分割する領域の数や、各領域におけるグ
ラフの傾きは一定である。そこで、本実施の形態では、階調数を分割する領
域の数やグラフの傾きを切替える場合について説明する。

20 なお、簡単のため、階調数の領域を 2 等分し、後半の領域では、階調数と
電流の関係を表すグラフの傾きが、前半の場合の傾きの 2 倍になるときと、
3 倍になるときとで、切替える場合について説明する。

まず、階調数と電流の関係を示す関数を導出する。

実施の形態 3 において、階調数の領域を 2 等分し、後半の領域では階調数
25 と電流の関係を表すグラフの傾きが前半の場合の傾きの 2 倍になる場合につ

いて説明した。また、実施の形態4において、階調数の領域を2等分し、後半の領域では階調数と電流の関係を表すグラフの傾きが前半の場合の傾きの3倍になる場合について説明した。

よって、本実施形態でも、実施の形態3、4と同様、前半の階調数に対応する電流Lの式は上記の式(12)で表されることとする。

$$L = a * I_0 + b * 2 * I_0 + c * 4 * I_0 + d * 8 * I_0 \\ + e * 16 * I_0 \dots \quad (12)$$

後半の領域では、傾きの2倍になる場合は上記の式(13)で、傾きが3倍になる場合は上記の式(16)で表される。

10 $L = a * 2 * I_0 + b * 4 * I_0 + c * 8 * I_0 + d * 16 * I_0 + e * 32 * I_0 + f * 32 * I_0 \dots \quad (13)$

$$L = a * (2 * I_0 + I_0) + b * (4 * I_0 + 2 * I_0) \\ + c * (8 * I_0 + 4 * I_0) + d * (16 * I_0 + 8 * I_0) \\ + e * (32 * I_0 + 16 * I_0) + 32 * I_0 \dots \quad (16)$$

15 図24に、本実施の形態のデジタル・アナログ変換回路を示す。

本実施形態では、後半の領域に属する階調数に対して2つの電流値が設定されることになる。本実施形態の切替え回路は、条件に応じて、実施の形態3の切替え回路101の動作させるか、実施の形態4の切替え回路101の動作をさせるかを切替えることが可能な構成にすればよい。

20 式(12)、(13)及び式(16)の比例係数を対比すると、式(16)の係数に式(12)及び(13)の比例係数が含まれている。よって、図24では、式(16)のすべての比例係数に対応させて11個の電流源1001～1011が並列に配置されている。

切替え回路101には、階調の領域を判定させるために、インバータ1020、及び4本の配線1021～1024が設けられている。インバータ1

020の入力には入力端子506が接続され、出力には配線1021が接続されている。また、配線1022には入力端子506から信号fが入力される。配線1021、1022に入力される信号により、階調が属する領域が前半か後半かを判別する。

5 そして、切替え回路101の外部から、配線1023、1024に階調数の後半の領域における、階調数と電流の関係を表すグラフの傾きを判別するための信号が出力されている。ここでは、配線1023の信号が1（H信号）、配線1024の信号が0（L信号）の場合はグラフの傾きが3倍になるようにし、配線1023の信号が0（L信号）、配線1024の信号が1（H信号）の場合はグラフの傾きが2倍になるようにする。配線1023及び1024に入力される信号は、図2における制御信号204の一例である。

また、図24の回路では、11個の電流源に対して10個のAND回路、OR回路でなるスイッチユニットが配置されている。電流源1001には2つのAND回路と1つのOR回路でなるスイッチユニットが、電流源1002、1004、1006及び1008には1つのAND回路でなるスイッチユニットが、電流源1003、1005、1007及び1009には3つのAND回路と1つのOR回路でなるスイッチユニットが接続されている。

配線1021～1024入力される信号は、階調数の属する領域とグラフの傾きの情報を反映しており、配線1021～1024の信号により、各スイッチユニットを制御して、入力端子501～506が接続される電流源を選択する。

図24の切替え回路の動作は、実施の形態3、4等と同様であるので、詳細な説明は省略するが、信号fが0（L信号）の場合は、階調数は前半の領域に属するため、各入力端子501～505からの信号a～eは、配線1021に接続されているAND回路を経て、電流源に入力され、出力端子10

6 から出力される電流値は式 (1 2) の関係になる。

また、信号 f が 1 (H 信号) で、配線 1 0 2 3 の信号が 0 (L 信号) 、配線 1 0 2 4 の信号が 1 (H 信号) の場合は、各入力端子 5 0 1 ~ 5 0 5 からの信号 a ~ e は、配線 1 0 2 2 と 1 0 2 4 に接続されている AND 回路を介して、電流源 1 0 0 3 、 1 0 0 5 、 1 0 0 7 、 1 0 0 9 、 1 0 1 0 に入力され、出力端子 1 0 6 から出力される電流値は式 (1 3) の関係になる。

また、信号 f が 1 (H 信号) で、配線 1 0 2 3 の信号 1 (H 信号) が、配線 1 0 2 4 の信号が 0 (L 信号) の場合は、各入力端子 5 0 1 ~ 5 0 5 からの信号 a ~ e は、配線 1 0 2 2 と 1 0 2 3 に接続されている AND 回路を介して、電流源 (1 0 0 1 、 1 0 0 2) 、 (1 0 0 3 、 1 0 0 4) 、 (1 0 0 5 、 1 0 0 6) 、 (1 0 0 7 、 1 0 0 8) 、 (1 0 0 9 、 1 0 1 0) に入力され、出力端子 1 0 6 から出力される電流値は式 (1 6) の関係になる。

このような構成をとることにより、グラフの傾きを切替えることが可能となる。なお、本実施の形態では、階調数の領域を真ん中で 2 つに分け、後半の領域では、階調数と電流の関係を表すグラフの傾きが前半の領域の傾きの 2 倍と 3 倍とで切替えるようにしたが、これに限定されない。階調数の領域を分割する数を切替えててもよいし、グラフの傾きと分割する数の両方を切替えててもよい。また、グラフの傾きも、が 2 倍のときと 3 倍のときのように 2 種類だけでなく、何種類でもよい。

なお、図 2 4 における切替え回路 1 0 1 は、デジタル回路として、AND 回路と OR 回路などを用いて構成しているが、これに限定されない。スイッチ、NAND 回路、NOR 回路、インバータ回路、トランസファーゲート回路（アナログスイッチ）、トライステートバッファ回路など、様々な回路を用いて、切替え回路 1 0 1 を構成することができる。

以上実施の形態 3 ~ 8 においては、入力信号の階調数がどの領域に属する

かを最上位の 6 ビット目の入力信号 f 、又は上位 2 つのビット信号である 5 ビット目と 6 ビット目の信号 e と f に着目して判断させたが、本発明はこれに限定されない。別 の方法によって、入力される信号が、階調数のどの領域に属するかを判断することも可能である。

5 また本発明は本実施の形態 3 ～ 8 における電流源の数や大きさ、スイッチの数、階調数を分割する領域の数、各領域におけるグラフの傾き、数値を表す場合の桁数、入力ビット数、入力端子数などは、これに限定されない。本各実施の形態での概念を利用すれば、各々の数を変えることができる。

10 (実施の形態 9)

本実施の形態では、実施の形態 3 ～ 8 の電流源の具体的な構成例について述べる。

電流源の最も単純な構成は既に説明した図 3 2 のような構成である。図 3 2 では、各トランジスタのゲート端子に加える電圧は 2 値であり全てのトランジスタで同一の値である。そこで、トランジスタごとに電流の大きさを変えるために、トランジスタのサイズ（ゲート長 L 、ゲート幅 W など）を調節していた。

そこで、図 3 2 とは異なる構成として、図 2 5 に各トランジスタのゲート端子に加える電圧を同一にしない電流源例を示す。なお、図 2 5 では、説明 20 の都合上、2 個の電流源 1021 と 1022 が並列に配置されている場合を示している。

電流源 1021 、 1022 の入力端子 1023 、 1024 には、上述したように切替え回路 101 からの電圧信号が入力され、出力端子 1025 、 1026 は出力端子 106 に接続されている。

25 電流源 1021 のトランジスタ 1031 は、ソース端子は高電圧側電源に

接続された配線 1032 に接続され、ドレイン端子は出力端子 1025 に接続され、ゲート端子には、ソース端子と同じ電圧 V_{dd} か、配線 1033 に供給されている電圧かのいずれかの電圧が加えられる。一方、電流源 1022 は電流源 1021 と同様の構成であり、トランジスタ 1036 のゲート端子には、ソース端子と同じ電圧 V_{dd} か、配線 1035 の電圧かのいずれかの電圧が加えられる。

トランジスタ 1031 及び 1036 のゲート端子の電圧は、スイッチ 1034、1037 の接続状態で制御され、スイッチ 1034、1037 は入力端子 1023、1024 から入力される信号制御される。電流源 1021、1022 から電流を出力させる場合は、トランジスタ 1031、1036 のゲート端子を配線 1033、1035 に接続させる。電流を出力させない場合は、各ゲート端子を配線 1032 に接続させる。

配線 1033 と 1035 とで電圧が異なれば、トランジスタ 1031 とトランジスタ 1036 とで、電流を流すときにゲート端子に加わる電圧が異なるようになる。その結果、トランジスタ 1031 とトランジスタ 1036 から出力される電流値を異ならせることができ、電流源 1021 と 1022 から出力される電流値を制御することが可能となる。トランジスタ 1031 とトランジスタ 1036 のトランジスタのサイズ（チャネル長やチャネル幅等）は、同一であってもよいし、異なっていてもよい。

このように、図 32 や図 25 の電流源では、トランジスタのゲート端子に加わる電圧を制御することにより、最終的に電流源の出力端子から電流が outputされるか否かを切替えていた。図 26 に、別の方法により電流源の出力端子から電流が流れるか否かを切替える電流源を示す。

図 26 では、各電流源 1021、1022 の各トランジスタ 1041、1042 は、各ゲート端子は同じ配線 1043 に接続され、ドレイン端子はそ

それぞれスイッチ 1044、1045に直列に接続され、各ソース端子は高電圧側電源 Vdd に接続されている配線 1046 に接続されている。

スイッチ 1044、1045 は入力端子 1023、1024 から入力される切替え回路 101 からの信号により制御される。

5 トランジスタ 1041、1042 のゲート端子に加わる電圧は、出力端子 1025、1026 から電流を出力させるか否かとは無関係である。出力端子 1025、1026 から電流を出力させるか否かは、各トランジスタ 1041、1042 に直列に接続されたスイッチ 1044、1045 がオンかオフかによって制御される。

10 トランジスタ 1041、1042 と直列に接続されているスイッチ 1044、1045 は、トランジスタ 1041、1042 から流れる電流を出力端子 1025、1026 に対して遮断することが可能であるなら、どこに配置されていてもよい。

また、図 26 では、2つの電流源 1021 と 1022 において、トランジスタ 1041 と 1042 のゲート端子には同じ電圧が加わっているが、これに限定されない。トランジスタごとに異なるゲート電圧を加えてもよい。各ゲート端子に同じ電圧が加わっている場合は、トランジスタごとに出力端子から出力させるべき電流の大きさに合わせて、トランジスタサイズ（チャネル長やチャネル幅など）を変更する必要がある。各ゲート端子に異なる電圧を加えるようにする場合は、トランジスタサイズは同一であってもよいし、異なっていてもよい。

図 32、25、26 の電流源は、電流源の外部から各トランジスタのゲート端子に電圧を加えて、電流源から所定の大きさの電流を出力するようにしたものである。しかし、トランジスタの特性（しきい値電圧や移動度など）やトランジスタサイズ（チャネル長やチャネル幅など）などがばらつくと、

トランジスタから流れる電流の大きさもばらついてしまう。

そこで、電流源の外部からゲート端子に電圧を与えるのではなく、電流源の外部から電流を与えて、トランジスタからその電流に比例した大きさの電流を出力させるような電流源を構成すると良い。図27にこのような電流源の構成例を示す。

図27に示すように、配線1050には高電圧側電流源Vddが接続され、配線1051、1052には、それぞれ、所定の値の電流Ia、Ibを供給するための電流源（図示せず。）が接続されている。

電流源1021において、配線1051からトランジスタ1053に電流Iaが入力されると、トランジスタ1053は、配線1051から入力された電流Iaと同じ大きさの電流を流すことができるようになる。同様に、電流源1022において、トランジスタ1054は、配線1052に供給されている電流Ibと同じ大きさの電流を流すことができるようになる。トランジスタ1053、1054はPチャネル型である。

図27の電流源1021の動作について説明する。

まず、配線1055の電圧を制御することにより、スイッチ1056とスイッチ1057をオンにし、スイッチ1058をオフにする。スイッチ1058は、インバータ1059で反転された配線1055の信号の反転信号により制御されるため、スイッチ1056と1057とは動作が逆になる。すると、スイッチ1056及び1057を介して、配線1051から、トランジスタ1053のゲート・ソース間に接続されている保持容量1060に電荷が蓄積されていく。

定常状態になると、配線1051に供給されている電流Iaと、トランジスタ1053のソース・ドレイン間に流れる電流とが等しくなり、保持容量1060には電流が流れなくなる。その結果、蓄積された電荷により、保持

容量 1060 の電圧は、トランジスタ 1053 のソース・ドレイン間に大きさ I_a の電流を流すのに必要な電圧となっている。以上の動作を設定動作と呼ぶことにする。

次に、配線 1055 の電圧を制御することにより、スイッチ 1056 とスイッチ 1057 をオフにし、スイッチ 1058 をオンにする。すると、以後、保持容量 1060 には設定動作により蓄積された電荷が保存されることになる。この保存された電荷によって、トランジスタ 1053 のゲート端子には、ソース・ドレイン間に、配線 1051 に供給されている電流 I_a と同じ大きさの電流を流すのに必要な電圧が保持されている。

10 次に、入力端子 1023 から入力される信号によって、スイッチ 1061 のオンオフを切替え、トランジスタ 1053 を流れる電流を出力端子 1025 へ流すか否かを制御する。この動作を通常動作と呼ぶことにする。スイッチ 1061 をオンにした場合は、トランジスタ 1053 のソース・ドレイン間に流れる電流が出力端子 1025 へと出力される。この出力された電流の
15 大きさは I_a である。つまり、トランジスタの特性などのばらつきの影響を受けずに、電流源 1021 から配線 1051 に供給される電流 I_a と等しい電流を電流源 1021 から出力させることができる。

図 27において一部符号を省略しているが、電流源 1022 は電流源 1021 と同様の構成である。異なる点は、スイッチ 1057' が配線 1052 20 に接続されていることである。電流源 1022 も電流源 1021 と同様に動作し、入力端子 1024 及び配線 1055' から入力される信号を用いて、設定動作、通常動作が行われ、出力端子 1026 には、配線 1052 に供給されている電流 I_b と等しい電流が出力される。

このように電流源を動作させることにより、トランジスタの特性やトランジスタサイズなどのばらつきの影響を低減することができる。

なお、スイッチ 1056～1058 の配置やオンオフの動作は、図 27 の場合に限定されない。同様な動作を行うことができるなら、どのような配置やオンオフの動作でもよい。

なお、図 27 の電流源では、設定動作と通常動作とで、同一のトランジスタ (トランジスタ 1053、1054) を用いているが、これに限定されない。設定動作を行わせるトランジスタと、通常動作を行わせるためのトランジスタを別々に設け、カレントミラー回路を構成してもよい。あるいは、設定動作と通常動作とで一部は同じトランジスタを用い、一部は別のトランジスタを用いててもよい。

10 また、電流源 1021 や 1022 において、電流源として動作するトランジスタが複数個あってもよい。例えば、電流源として動作するトランジスタが 2 つあり、一方のトランジスタが設定動作を行い、他方のトランジスタが通常動作を行い、それらを切り替えるようにしてもよい。これにより、設定動作と通常動作とを同時にを行うことができるようになる。

15 また、トランジスタ 1053 と 1054 のゲート電極を接続することなどによりゲート電位を同じに保つようにして、ゲート・ソース間電圧等の情報を電流源で共有してもよい。

図 27 では、トランジスタ 1053、1054 は P チャネル型であるが、N チャネル型にしても実現できる。その場合は、保持容量 1060 をトランジスタのゲート・ソース間に接続し、スイッチ 1056 の接続を変更すればよい。

図 32、25、26、27 では、電流源 1021、1022 から外部へ電流を出力させる場合について説明した。しかし、これに限定されない。外から電流源 1021、1022 へ電流が流れる場合についても、トランジスタ

の極性を変更したり、配線の電位を変更したりすることなどにより、容易に変形できる。

もちろん、本発明のガンマ補正を実現するたの半導体装置に用いられる電流源の構成は本実施の形態の電流源に限定されるものではない。オペアンプ 5 などを用いることなど、さまざまな公知の電流源を構成することは可能である。例えば、国際公開第 03/038793 号パンフレット、国際公開第 03/038794 号パンフレット、国際公開第 03/038795 号パンフレット、国際公開第 03/038796 号パンフレットや、国際公開第 03/038797 号パンフレット等には、電流が流れる向きが異なる場合 10 や、電流源として動作させるトランジスタの極性が異なる場合や、配線の電位を変更した場合や、スイッチの配置場所が異なる場合などの電流源回路について記載されており、その内容を本発明に適用することができる。

(実施の形態 10)

15 本実施の形態では、表示装置の信号線駆動回路の一部に、本発明に係る回路を適用した例を説明する。

本発明が適用される表示装置の例としては、E L (エレクトロルミネッセンス) ディスプレイや F E D (フィールドエミッഷンディスプレイ) など 20 があげられる。図 28 に示すように、表示装置は複数の画素が配置された画素部 1081、ゲート線駆動回路 1082、信号線駆動回路 1083 を有する。ゲート線駆動回路 1082 は、画素部 1081 に選択信号を順次出力する。信号線駆動回路 1083 は、画素部 1081 にビデオ信号を順次出力する。画素部 1081 では、ビデオ信号に従って、光の状態を制御することにより、画像を表示する。信号線駆動回路 1083 から画素部 1081 へ入力 25 するビデオ信号は、電流である。つまり、画素に配置された表示素子や表示

素子を制御する素子は、信号線駆動回路 1083 から入力されるビデオ信号（電流）によって状態が変化される。画素部 1081 に配置する表示素子としては、有機EL素子、無機ELと有機ELを複合的に用いたEL素子などのEL素子が代表的である。

5 ゲート線駆動回路 1082 や信号線駆動回路 1083 は複数配置されてもよい。

信号線駆動回路 1083 は複数の回路に分けられる。一例として、シフトレジスタ 1084、第1ラッチ回路（LAT1）1085、第2ラッチ回路（LAT2）1086、デジタル・アナログ変換回路 1087 とに分けられる。デジタル・アナログ変換回路 1087 は、電圧を電流に変換する機能、ガンマ補正を行う機能を有する。つまり、デジタル・アナログ変換回路 1087 に本発明の回路を適用することができる。

以下に、信号線駆動回路 1083 の動作を簡単に説明する。シフトレジスタ 1084 は、フリップフロップ回路（FF）等を複数列用いて構成され、15 クロック信号（S-CLK）、スタートパルス（SP）、クロック反転信号（S-CLKb）が入力される、これらの信号のタイミングに従って、順次サンプリングパルスが出力される。

シフトレジスタ 1084 から出力されたサンプリングパルスは、第1ラッチ回路 1085 に入力される。第1ラッチ回路 1085 には、ビデオ信号線 20 1088 より、ビデオ信号が入力されており、サンプリングパルスが入力されるタイミングに従って、各列でビデオ信号を保持していく。デジタル・アナログ変換回路 1087 を配置しているため、ビデオ信号線 1088 から入力されるビデオ信号はデジタル値である。また、この段階でのビデオ信号は、一般的に電圧信号である。

25 第1ラッチ回路 1085において、最終列までビデオ信号の保持が完了す

ると、水平帰線期間中にラッチ制御線 1089 からラッチパルス (Latch Pulse) が入力され、第1ラッチ回路 1085 に保持されているビデオ信号は一斉に第2ラッチ回路 1086 に転送され、保持される。その後、第2ラッチ回路 1086 に保持されているビデオ信号は、1行分が同時に、デジタル・アナログ変換回路 1087 に入力される。そして、デジタル・アナログ変換回路 1087 から出力される信号が画素部 1081 へ入力される。

第2ラッチ回路 1086 に保持されたビデオ信号がデジタル・アナログ変換回路 1087 に入力され、画素部 1081 に入力されている間、シフトレジスタ 1084 から、再びサンプリングパルスが第1ラッチ回路 1086 出力される。つまり、同時に2つの動作が行われる。これにより、線順次駆動が可能となる。以後、この動作を繰り返す。

図29に、図28のデジタル・アナログ変換回路 1087 と画素部 1081 との接続について図示する。説明の都合、図29には1列分のデジタル・アナログ変換回路 1087 と、画素部 1081 の1個分の画素 1090 を図示している。

第2ラッチ回路 1086 から出力される信号（電圧）は、デジタル・アナログ変換回路 1087 へ入力される。デジタル・アナログ変換回路 1087 では、ガンマ補正と共に、デジタル信号はアナログ信号に変換され、かつ電圧信号は電流信号に変換されるため、最終的に出力端子 106 からアナログ電流が出力される。

出力端子 106 は、画素部 1081 の信号線 1092 に接続されている。信号線 1092 には、画素 1090 が接続されている。図29では、簡単のため、信号線 1092 には、画素 1090 が1つだけ接続され、ゲート信号線 1093 にも、画素 1090 が1つだけ接続されている場合を図示しているが、図28における画素部 1081 では、一本の信号線 1092 には、画

素 1090 が複数接続され、一本のゲート信号線 1093 にも画素 1090 が複数接続されている。また、信号線 1092 やゲート信号線 1093 も複数配置されて、画素部 1081 には複数の画素 1090 がマトリクス状に配置されている。また、画素 1090 には、選択用トランジスタ Tr1 と、駆動用トランジスタ Tr2 の、2つのトランジスタを配置されている。

画素 1090 は次のように動作する。

信号線 1092 に入力されている信号（アナログ電流）は、その画素が表示する画像、即ち階調数に対応した大きさになっており、ガンマ補正が行われている。

10 まず、ゲート信号線 1093 を制御して、スイッチ 1094、1095 をオンにすると、保持容量 1096 に電荷が保存される。この保持容量 1096 の一方はトランジスタ Tr1 のゲート端子に接続され、他方は所定の値の電圧が供給されている配線 1097 に接続されている。

その後、ゲート信号線 1093 を制御して、スイッチ 1094、1095 をオフにすると、表示素子 1096 に電流が流れる。信号線 1092 に入力される信号（アナログ電流）の大きさと、素子 1098 に流れる電流とは相関関係にある。画素 1090 の場合は、信号線 1092 に入力される信号（アナログ電流）に比例した大きさの電流が表示素子 1098 に流れる。

20 画素 1090 に入力される信号（アナログ電流）には、ガンマ補正が行われているため、表示素子 1098 に流れる電流にもガンマ補正が行われることになる。したがって、表示素子 1098 の輝度もガンマ補正が行われることとなる。

なお、図 29において示した画素 1090 は、一例であり、これに限定されない。信号線 1092 から電流が入力されるような画素、つまり、電流入力型画素であればどのような構成でもよい。例えば、画素に入力される信号

電流を用いて画素に配置されている電流源回路に電流を供給し、その後、その電流源回路から画素に配置されているEL素子などの表示素子に電流を供給する場合、信号電流を電圧に変換する部分（以後、変換部と言う。）と、変換された電圧を用いて表示素子に電流を供給する部分、つまり、表示素子を駆動する部分（以後、駆動部と言う。）とが、同一であってもよいし、異なっていても良い。変換部と駆動部とが異なる場合は、通常、カレントミラ一回路と言われている。また、変換部と駆動部とが一体となって配置されており（以後、変換駆動部と言う。）、さらに、駆動部が配置されている場合もある。この場合は、変換駆動部と駆動部とで、EL素子などの表示素子に電流を供給する。また、変換部と変換駆動部とが配置されている場合もある。この場合は、変換部と変換駆動部とで信号電流を電圧に変換する。また、信号電流が供給される場合（電流を電圧に変換している場合）と、表示素子に電流を供給している場合とで、電流源回路におけるトランジスタのチャネル長Lやチャネル幅Wとが異なっていても良い。

15 例えば、図29に示す画素では、表示素子に電流を供給している場合は、トランジスタTr1とTr2とがマルチゲートのトランジスタとして動作する。画素に信号を入力している場合は、トランジスタTr2はオフしており、トランジスタTr1に電流が入力される。したがって、表示素子に電流を供給しているときには、見かけのチャネル長Lが大きくなり、表示素子に流れ20る電流を信号電流よりも小さくすることができる。これらにより、信号電流の大きさを大きくして、信号の書き込み速度を向上することが出来る。

また、電流源回路として動作させるトランジスタの極性を異なるようにして電流源回路を構成してもよいし、信号電流が流れる向きが異なるようにして電流源回路を構成してもよいし、スイッチの配置場所が異なるようにして

25 電流源回路を構成してもよい。

これらの詳細については、例えば、特願2002-274680号、特開2003-177710号公報、特開2003-177712号公報、などに記載されており、そのような構成とすることもできる。

また、画素部1081へ入力する信号は、電流に限定されない。電流を供給する前後に電圧を供給してもよいし、電流と同時に電圧を供給してもよい。

また、本実施の形態のデジタルアナログ変換回路1087には電流源が配置されているが、所期の目的が達成できれば電流源回路の構成は限定されるものではない。

例えば、各列の信号線に対して、常に同じ電流源回路を用いて電流を供給するのではなく、特開2003-255880号公報に示すように、ある期間ごとに、電流源を切り替えて動作させることもできる。例えば、 i 列目の信号線に対して、ある期間では $(i-1)$ 列目に配置されている電流源回路を用いて電流を供給し、別の期間では、 i 列目に配置されている電流源回路を用いて電流を供給し、また別の期間では、 $(i+1)$ 列目に配置されている電流源回路を用いて電流を供給してもよい。もちろん、実施の形態9で述べたような電流源も用いることができる。図27の回路を用いる場合は、電流源に電流を入力することによって設定動作を行う必要がある。その場合、設定動作を制御するために、専用の駆動回路（シフトレジスタなど）を配置してもよい。あるいは、LAT1回路を制御するためのシフトレジスタから出力される信号を用いて、電流源回路への設定動作を制御してもよい。つまり、一つのシフトレジスタで、LAT1回路と電流源回路とを両方制御するようにしてもよい。その場合は、LAT1回路を制御するためのシフトレジスタから出力される信号を直接、電流源回路に入力してもよいし、LAT1回路への制御と電流源回路への制御を切り分けるため、その切り分けを制御する回路を介して、電流源回路を制御してもよい。あるいは、LAT2回路

から出力される信号を用いて、電流源回路への設定動作を制御してもよい。

L A T 2 回路から出力される信号は、通常、ビデオ信号であるため、ビデオ信号として使用する場合と電流源回路を制御する場合とを切り分けるため、その切り替えを制御する回路を介して、電流源回路を制御すればよい。

5 このように、図 27 のような電流源を用いる場合の設定動作や通常動作を制御するための回路構成や、回路の動作等については、国際公開第 03/038793 号パンフレット、国際公開第 03/038794 号パンフレット、国際公開第 03/038795 号パンフレット、国際公開第 03/038796 号パンフレット、国際公開第 03/038797 号パンフレットに記
10 載されており、その内容を本発明に適用することができる。

また、信号線 1092 から入力される信号（アナログ電流）を用いて、表示素子 1096 の輝度を制御しているが、これに限定されない。信号線 1092 から入力される信号（アナログ電流）だけでなく、別の手法を組み合わせて、表示素子 1098 の輝度を制御してもよい。例えば、表示素子 109
15 8 の表示期間を変えることによって、つまり、時間階調を組み合わせて輝度を制御してもよいし、表示素子 1098 の表示面積を変えることによって、つまり、面積階調を組み合わせて、輝度を制御してもよい。時間階調と面積階調の両方を組み合わせてもよい。

なお、これまで、階調数を電流値に変換する場合について説明してきた。
20 電流の大きさはキルヒホッフの電流法則により各電流源から流れる電流の総和になる。したがって、電流以外の物理量を対象にした場合であっても、各部分の物理量の総和が全体の物理量に等しくなるようなものであれば、本発明を適用できる。

例えば、時間階調を用いて階調を制御する場合、表示素子の発光時間の総
25 和が階調数に対応しており、発光時間と階調数とが相関関係を持つことにな

る。そのため、電流を時間に置き換えることにより、本発明を適用することができる。

同様に、面積階調を用いて階調を制御する場合、表示素子の発光している面積の総和が階調数に対応し、発光面積と階調数とが相関関係を持つことになる。そのため、電流値を発光面積に置き換えることにより、本発明を適用することができる。

同様に、時間階調と面積階調とを組み合わせた場合にも、本発明を適用することができる。

また本実施の形態は、実施の形態 1～実施の形態 9 と任意に組み合わせることが可能である。もちろん本発明の表示装置の構成は、図 28 のブロック回路の構成に限定されるものではなく、本発明のデジタル・アナログ変換回路を用いるものであればよい。

また、すでに述べたように、本発明に用いられるトランジスタの種類や、使用される基板も限定されるものではない。

したがって、図 28 の回路全てが、ガラス基板上に形成されていてもよいし、プラスチック基板に形成されていてもよいし、単結晶基板に形成されていてもよいし、S O I 基板上に形成されていてもよい。あるいは、図 28 における回路の一部が他の基板上に形成されていてもよく、回路の全てが同じ基板上に形成されていてもよい。例えば、図 28 において、画素 108 1 とゲート線駆動回路 108 2 とはガラス基板上に薄膜トランジスタ等を用いて形成し、信号線駆動回路 108 3 全部またはその一部を、単結晶基板を用いた集積回路とし、その I C チップを C O G (Chip On Glass) 接続して、ガラス基板上の他の回路と共に配置してもよい。あるいは、その I C チップを T A B (Tape Auto Bonding) やプリント基板を用いてガラス基板上の他の回路と接続してもよい。

(実施の形態 1 1)

本発明を用いた電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンポ等）、ノート型パソコン、携帯型コンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置、例えば、Digital Versatile Disc (DVD) 等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置などが挙げられる。それらの電子機器の具体例を図 30 に示す。

図 30 (A) は発光装置であり、筐体 3001、支持台 3002、表示部 3003、スピーカー部 3004、ビデオ入力端子 3005 等を含む。本発明は表示部 3003 を構成する電気回路に用いることができる。また本発明により、図 30 (A) に示す発光装置が完成される。発光装置は自発光型であるためバックライトがなく、液晶ディスプレイよりも薄い表示部とすることができます。なお、発光装置は、パソコン用、TV 放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

図 30 (B) はデジタルスチルカメラであり、本体 3011、表示部 3012、受像部 3013、操作キー 3014、外部接続ポート 3015、シャッター 3016 等を含む。本発明は、表示部 3012 を構成する電気回路に用いることができる。

図 30 (C) はノート型パソコンであり、本体 3021、筐体 3022、表示部 3023、キーボード 3024、外部接続ポート 3025、ポインティングマウス 3026 等を含む。本発明は、表示部 3023 を構成する電気回路に用いることができる。

図30 (D) はモバイルコンピュータであり、本体3031、表示部3032、スイッチ3033、操作キー3034、赤外線ポート3035等を含む。本発明は、表示部3032を構成する電気回路に用いることができる。

図30 (E) は記録媒体を備えた携帯型の画像再生装置（具体的にはD V 5 D再生装置）であり、本体3041、筐体3042、表示部A3043、表示部B3044、記録媒体（D V D等）読み込み部3045、操作キー3046、スピーカー部3047等を含む。表示部A3043は主として画像情報 10 を表示し、表示部B3044は主として文字情報を表示するが、本発明は、表示部A、B3043、3044を構成する電気回路に用いることができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

図30 (F) はゴーグル型ディスプレイ（ヘッドマウントディスプレイ）であり、本体3051、表示部3052、アーム部3053を含む。本発明は、表示部3052を構成する電気回路に用いることができる。

15 図30 (G) はビデオカメラであり、本体3061、表示部3062、筐体3063、外部接続ポート3064、リモコン受信部3065、受像部3066、バッテリー3067、音声入力部3068、操作キー3069等を含む。本発明は、表示部3062を構成する電気回路に用いることができる。

20 図30 (H) は携帯電話であり、本体3071、筐体3072、表示部3073、音声入力部3074、音声出力部3072、操作キー3076、外部接続ポート3077、アンテナ3078等を含む。本発明は、表示部3073を構成する電気回路に用いることができる。なお、表示部3073は黒色の背景に白色の文字を表示することで携帯電話の消費電流を抑えることができる。

なお、将来的に発光材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型若しくはリア型のプロジェクターに用いることも可能となる。

また、上記電子機器はインターネットやCATV（ケーブルテレビ）など
5 の電子通信回線を通じて配信された情報を表示することが多くなり、特に動
画情報を表示する機会が増してきている。発光材料の応答速度は非常に高い
ため、発光装置は動画表示に好ましい。

また、発光装置は発光している部分が電力を消費するため、発光部分が極
力少なくなるように情報を表示することが望ましい。従って、携帯情報端
10 末、特に携帯電話や音響再生装置のような文字情報を主とする表示部に発光
装置を用いる場合には、非発光部分を背景として文字情報を発光部分で形成
するように駆動することが望ましい。

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に
用いることが可能である。また本実施の形態の電子機器は、実施の形態1～
15 実施の形態9に示したいずれの構成の半導体装置を用いても良い。

請求の範囲

1. m 個の電流源 I_1, I_2, \dots, I_m と、切替え回路とを有する半導体装置であって、

前記切替え回路は、 n 個の入力端子 D_1, D_2, \dots, D_n と、

m 個の出力端子 O_1, O_2, \dots, O_m とを有し、

前記電流源 I_k と前記切替え回路の出力端子 O_k とが電気的に接続され ($k = 1 \sim m$)、

前記切替え回路は、前記切替え回路の入力端子 D_1, D_2, \dots, D_n に
入力される信号を用いて、前記入力端子 D_k が接続される出力端子 O_1, O_2, \dots, O_m を選択することを特徴とする半導体装置。

2. 請求項 1 において、

前記切替え回路は、さらに外部から入力される信号を用いて、前記入力端子 D_k が接続される出力端子 O_1, O_2, \dots, O_m を選択することを特徴とする半導体装置、

3. 請求項 1 に記載の半導体装置を具備することを特徴とする表示装置。

4. 請求項 1 に記載の半導体装置を具備する表示装置を表示部に用いたことを特徴とする電子機器。

5. m 個の電流源と、 n 個の入力端子及び m 個の出力端子を有する切替え回路とを有する半導体装置であって、

前記 m 個の電流源はそれぞれ相異なる前記出力端子の 1 つに接続され、

前記切替え回路において、前記入力端子の少なくとも 1 つには、1 つ又は複数のスイッチが接続され、前記スイッチは前記 m 個の出力端子のいずれか 1 つに接続され、

前記切替え回路は、前記 n 個の入力端子の少なくとも 1 つの端子から入力

される信号を用いて、前記スイッチのオンオフを制御することを特徴とする半導体装置。

6. m 個の電流源と、 n 個の入力端子及び m 個の出力端子を有する切替え回路とを有する半導体装置であって、

前記 m 個の電流源はそれぞれ相異なる前記出力端子の1つに接続され、

前記切替え回路において、前記出力端子の少なくとも1つには、1つ又は複数のスイッチが接続され、前記スイッチは前記 n 個の入力端子のいずれか1つに接続され、

前記切替え回路は、前記 n 個の入力端子の少なくとも1つの端子から入力される信号を用いて、前記スイッチのオンオフを制御することを特徴とする半導体装置。

7. 請求項5又は6において、

前記切替え回路は、さらに外部から入力される信号を用いて、前記スイッチのオンオフの状態を制御することを特徴とする半導体装置。

8. 請求項5又は6のいずれか一項において、前記スイッチはデジタル回路でなることを特徴とする半導体装置。

9. 請求項5又は6のいずれか一項に記載の半導体装置を具備することを特徴とする表示装置。

10. 請求項5又は6に記載の半導体装置を具備する表示装置を表示部に用いたことを特徴とする電子機器。

11. n ビットのデジタル電圧信号をアナログ電流信号に変換するためのデジタル・アナログ変換回路であって、

m 個の電流源と、 n 個の入力端子及び m 個の出力端子を有する切替え回路とを有し、

前記 m 個の電流源はそれぞれ相異なる前記出力端子の1つに接続され、

前記切替え回路は、前記nビットのデジタル電圧信号の少なくとも1つの信号を用いて、前記m個の出力端子の中から、前記n個の入力端子が接続される出力端子を選択することを特徴とするデジタル・アナログ変換回路。

12. 請求項11において、

前記切替え回路は、さらに外部から入力される信号を用いて、前記m個の出力端子の中から、前記n個の入力端子が接続される出力端子を選択することを特徴とするデジタル・アナログ変換回路。

13. nビットのデジタル電圧信号をアナログ電流信号に変換するためのデジタル・アナログ変換回路であって、

m個の電流源と、n個の入力端子、m個の出力端子、m個のスイッチャユニットを有する切替え回路とを有し、

前記m個の電流源はそれぞれ相異なる前記出力端子の1つに接続され、

前記m個の出力端子はそれぞれ相異なる前記スイッチャユニットの1つに接続され、

前記m個のスイッチャユニットはそれぞれ1個又は複数個の入力端子に接続され、

前記切替え回路は、前記nビットのデジタル電圧信号の少なくとも1つの信号を用いて、前記m個のスイッチャユニットを制御し、前記出力端子に接続される入力端子を選択することを特徴とするデジタル・アナログ変換回路。

14. 請求項13において、前記切替え回路は、さらに外部からの入力信号を用いて、前記m個のスイッチャユニットを制御することを特徴とするデジタル・アナログ変換。

15. nビットのデジタル電圧信号をアナログ電流信号に変換するためのデジタル・アナログ変換回路であって、

m個の電流源と、n個の入力端子、m個の出力端子及びk個（ $1 \leq k < m$

) のスイッチユニットとを有する切替え回路とを有し、

前記m個の電流源はそれぞれ相異なる前記出力端子の1つに接続され、

前記m個の出力端子のうち、k個の出力端子は相異なる前記スイッチユニットの1つに接続され、他のm-k個の出力端子は前記スイッチユニットを介さずに前記入力端子の少なくとも1つに接続され、

前記k個のスイッチユニットはそれぞれ1個又は複数個の入力端子に接続され、

前記切替え回路は、前記nビットのデジタル電圧信号の少なくとも1つの信号を用いて、前記k個のスイッチユニットを制御し、前記出力端子に接続される入力端子を選択することを特徴とするデジタル・アナログ変換回路。

16. 請求項15において、前記切替え回路は、さらに外部からの入力信号を用いて、前記m個のスイッチユニットを制御することを特徴とするデジタル・アナログ変換。

17. 請求項11、13、15のいずれか1項において、前記スイッチユニットはデジタル回路でなることを特徴とするデジタル・アナログ変換回路。

18. 請求項11、13、15のいずれか1項に記載のデジタル・アナログ変換回路を信号線駆動回路に含むことを特徴とする表示装置。

19. 請求項11、13、15に記載のデジタル・アナログ変換回路を具備する表示装置を表示部として用いたことを特徴とする電子器機。

要 約

電圧電流変換機能、デジタルアナログ変換機能及びガンマ補正機能を全て具備した半導体装置を提供する。

切替え回路の入力端子から、デジタルの入力信号（電圧）を入力する。切替え回路は、デジタル入力信号の値によって、入力端子が接続される電流源を選択する。各電流源は入力端子から信号に従って所定の大きさの電流を出力端子へ出力する。このようにデジタル入力信号によって出力させる電流源を切替えることで、デジタル・アナログ変換と共にガンマ補正が行うことができる。